

МЕТОДИКА ОЦЕНКИ ЭНЕРГОПОТРЕБЛЕНИЯ ЛОГИЧЕСКОЙ СХЕМЫ НА ОСНОВЕ МЕТОДА МОНТЕ-КАРЛО

Барановский Алексей Леонидович

*магистрант,
факультет автоматизированных и информационных систем,
ГГТУ имени П.О. Сухого,
Республика Беларусь, г. Гомель
E-mail: pro_x55@mail.ru*

Мурашко Игорь Александрович

*научный руководитель, д-р техн. наук, профессор ГГТУ имени П.О. Сухого,
Республика Беларусь, г. Гомель*

Развитие мобильной и цифровой электроники не стоит на месте, что влечет за собой увеличение сложности цифровых систем. Этот бурный прогресс привел к тому, что большинство разрабатываемых цифровых устройств реализуются в виде систем на кристалле (*SoC*). При реализации таких систем одной из главных задач является снижение энергопотребления. Помимо разработки подходящих методов проектирования, необходима точная оценка энергопотребления системы на всех этапах процесса проектирования.

Реализация встроенного самотестирования (*BCT*) значительно снижает стоимость и повышает процент покрытия неисправностей, так как проверка может производиться на рабочих частотах и не требуется внешнего тестового оборудования, стоимость которого, как правило, во много раз выше, чем стоимость *SoC*. Тем не менее использование классического *BCT* значительно увеличивает рассеиваемую мощность при тестировании по сравнению с нормальным режимом работы. Рассеиваемая мощность может увеличиваться в 2–3 раза. Это вызывает значительное повышение температуры кристалла, что может привести к его повреждению. Кроме того, для мобильных устройств сокращаются сроки непрерывной работы от автономных источников питания.

До недавнего времени для учета проблемы рассеиваемой мощности в процессе тестирования схемы использовались более мощные источники питания, увеличивались конструктивные размеры устройств и повышалась эффективность систем охлаждения. Данные подходы значительно увеличивают

стоимость изделия или увеличивают время тестирования, а также могут снижать процент обнаружения неисправностей, так как при снижении частоты некоторые динамические неисправности могут быть не выявлены. В настоящее время основное внимание ученых направлено на следующие проблемы: снижение потребляемой энергии, которая определяет срок автономной работы устройства; снижение средней мощности, которая определяет рабочую температуру кристалла; снижение пиковой мощности, которая определяет требования к источнику питания, а также может привести к температурной перегрузке и повреждению кристалла [1].

Для решения этих проблем актуальным является вопрос изучения энергопотребления логических схем. Разработка программного средства оценки схем позволит еще на этапе их проектирования минимизировать потребление энергии.

Для выполнения поставленной задачи сформулируем методику расчета энергопотребления логической схемы, основанную на методе Монте-Карло [2, с. 31]. Будем считать, что мощность, рассеиваемая ячейкой (логическим элементом или элементом памяти), обусловлена главным образом логическими переходами на ее выходе. Следовательно, энергия, потребляемая узлом логической схемы можно вычислить как:

$$P = \frac{1}{2} C_L V_{dd}^2 f, \quad (1)$$

где: C_L – переключаемая емкость (которая включает в себя паразитную емкость вентиля и дополнительную емкость C_{SC});

V_{dd} – напряжение питания;

f – частота изменения логического уровня.

Для узлов, к которым подключено несколько входов логических элементов, энергия, потребляемая j -м узлом схемы, определяется как:

$$E_j = \frac{1}{2} s_j f_j C_0 V_{dd}^2, \quad (2)$$

где: s_j – число входов;

f_j – число переключений;

C_0 – номинальная (нормализованная) емкостная нагрузка одного входа, которая является одинаковой для всех логических элементов, выполненных по единой технологии.

Обозначим через E_0 энергию одного переключения стандартного входа:

$$E_0 = \frac{1}{2} C_0 V_{dd}^2, \quad (3)$$

Тогда для оценки, потребляемой j узлом энергии, необходимо знать число переключений f_j и количество входов логических элементов s_j , подключенных к данному узлу. Произведение $s_j f_j$ определим как переключательную активность SA_j (*Switching Activity – SA*) узла j и будем использовать в качестве оценки для рассеиваемой этим узлом энергии.

Соответственно переключательная активность всей схемы за один такт синхронизации запишется:

$$SA_{CLK} = \sum_{j=1}^v s_j f_j, \quad (4)$$

где: f_j – число переключений j -го узла за один такт синхронизации;

s_j – количество входов логических элементов, подключенных к данному узлу;

v – количество узлов логической схемы.

Тогда переключательная активность всей схемы за n тактов работы может быть найдена как:

$$SA = \sum_{i=1}^n \sum_{j=1}^v s_j f_j. \quad (5)$$

Следовательно, энергия, потребляемая схемой, может быть найдена следующим образом:

$$E = SA \cdot E_0. \quad (6)$$

Разделив полученное выражение на время t , в течение которого была потреблена энергия (или, что равнозначно, умножив данное выражение на частоту F), получим рассеиваемую мощность схемы:

$$P = \frac{E}{t} = E \cdot F. \quad (7)$$

Таким образом, для оценки среднего числа переключений необходимо знать среднюю переключательную активность схемы в течении одного такта работы, что возможно определить с помощью метода Монте-Карло.

Для того, чтобы смоделировать процесс работы логической схемы на разных наборах данных, было решено использовать метод Монте-Карло, который при помощи генератора случайных величин позволяет вычислить среднее количество переключений схемы.

Этап настройки является начальным блоком алгоритма. Так как в начале моделирования схема не переключается так часто, как в более позднее время, когда переключения успели распространиться на все входы, то во время настройки схема набирает разгон. Поэтому этап настройки является критически важной секцией.

Далее происходит вычисление мощности в логических элементах по полученным сгенерированным входным параметрам. Подсчет переключений текущей операции основывается на данных, полученных от предыдущей итерации.

Критерием остановки вычислений может служить значение, принимаемое на основе среднего и стандартного отклонения значений мощности, наблюдаемых в конце итераций.

Блок-схема алгоритма метода Монте-Карло представлена на рисунке 1.

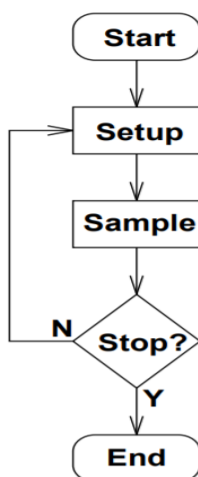


Рисунок 1. Блок-схема алгоритма метода Монте-Карло

Мощность логической схемы получается путем вычисления среднего числа переключений схемы за все итерации [3].

Список литературы:

1. Yarmolik V., Murashko I., A peak-power estimation for digital circuits design // Proceedings of the Fith International Conference NITe'2002. – Minsk, 2002. – P. 34-38.
2. Kalos M.H., Whitlock P.A. Monte Carlo Methods. Second Edition. – Weinheim: Wiley-VCH Verlag GmbH and Co. KGaA, 2008. – 203 p.
3. Burch R. A Monte Carlo Approach for Power Estimation / R. Burch (et al.) // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. – 1993. – Vol. 1. № 1 – P. 63-71.