

УДК 681.325

МЕТОДЫ ОЦЕНКИ РАССЕИВАЕМОЙ МОЩНОСТИ В ЦИФРОВЫХ КМОП СХЕМАХ

И.А. МУРАШКО

*Белорусский государственный университет информатики и радиоэлектроники
П. Бровка, 6, Минск, 220013, Беларусь*

Поступила в редакцию 30 ноября 2006

Широкое распространение портативных устройств привело к тому, что одним из ключевых параметров при проектировании современных СБИС стала рассеиваемая мощность. Поэтому получение быстрой и точной оценки рассеиваемой мощности стало неотъемлемой частью процесса проектирования. В работе представлен обзор существующих методов оценки рассеиваемой мощности на логическом уровне абстракции.

Ключевые слова: динамическая мощность, энергопотребление, переключательная активность, статистический анализ, вероятностный анализ.

Введение

В настоящее время вследствие быстрого прогресса в области технологий производства полупроводниковых интегральных схем возникают новые задачи логического синтеза вычислительных устройств. Одной из наиболее значимых задач является разработка цифровых устройств с низким энергопотреблением [1]. Актуальность данной задачи определяется следующими факторами. Во-первых, наличием множества приложений (портативные компьютеры, средства навигации, средства связи, цифровая аудио- и видеотехника), которые должны сочетать высокую надежность и требуемое быстродействие с низким потреблением энергии с целью достижения заданной продолжительности автономной работы. Во-вторых, необходимостью снижать рассеиваемую мощность для решения проблемы отвода тепла, так как это определяет массогабаритные показатели устройств. В-третьих, необходимостью снижать энергопотребление при проведении тестирования цифровых устройств, при котором значительно возрастает переключательная активность и, как следствие, рассеиваемая мощность. По оценкам, при тестировании рассеиваемая мощность может увеличиваться в два – три раза [2]. Таким образом, эффективное проектирование СБИС невозможно без точных оценок рассеиваемой мощности. Причем эти оценки должны быть получены на как можно более ранних стадиях проектирования. В противном случае возникает потребность в повторном проектировании отдельных частей или всего проекта, что значительно удорожает стоимость конечного продукта.

В настоящее время применяются различные методики оценки рассеиваемой мощности на всех уровнях абстракции представления цифровых СБИС [1, 3–5]. В данной работе рассматриваются методы, используемые на логическом уровне.

Источники рассеиваемой мощности

Рассеиваемую мощность цифровых схем, выполненных по КМОП технологии можно разделить на два вида — динамическую и статическую. Динамическая рассеиваемая мощность возникает в момент переключения схемы из одного логического состояния в другое и определяется двумя основными источниками – токами заряда/разряда паразитных емкостей логических элементов и сквозными токами, которые протекают через логический элемент в момент переключения. Следовательно, она зависит от переключательной активности схемы, т.е. чем выше переключательная активность схемы, тем больше рассеиваемая мощность. При отсутствии переключений динамическая мощность равна нулю.

Статическая мощность рассеивается тогда, когда логический элемент находится в некотором фиксированном логическом состоянии ("0" или "1") и определяется токами утечки канала МОП транзистора, обратными токами p - n -переходов и резистивной нагрузкой элементов. Суммарное значение статических токов, как правило, в миллионы раз меньше, чем динамических токов, поэтому при расчете рассеиваемой мощности КМОП схем малой и средней интеграции их, как правило, не учитывают. Однако для СБИС, содержащих миллионы транзисторов (высокопроизводительные процессоры, память большого объема, сложные системы на кристалле и т.п.), статическая мощность имеет тот же порядок, что и динамическая.

Для традиционных КМОП технологий (минимальные размеры элементов не переходят в субмикронную область) львиную долю рассеиваемой мощности составляет динамическая мощность. Рассмотрим анализ динамической рассеиваемой мощности более подробно. Для упрощения анализа сквозной ток учитывается в виде дополнительной емкости нагрузки.

Энергия E_j , потребляемая j -м узлом схемы при одном переключении ($0 \rightarrow 1$ или $1 \rightarrow 0$), равна $1/2 C_j V_{dd} V_j$, где C_j — емкостная нагрузка j -го узла, V_{dd} — напряжение источника питания, V_j – амплитуда переключения [6]. Для КМОП схем, как правило, $V_j = V_{dd}$, а емкостная нагрузка узла определяется числом входов логических элементов k_j , подключенных к данному узлу, то есть $C_j = k_j C_0$, где C_0 – номинальная (нормализованная) емкостная нагрузка одного входа. Тогда

$$E_j = 1/2 k_j C_0 V_{dd}^2. \quad (1)$$

За время работы схемы в каждом узле происходит s_j переключений. Тогда выражение для потребляемой схемой энергии запишется:

$$E = \sum_j (1/2 k_j C_0 V_{dd}^2 s_j) = 1/2 C_0 V_{dd}^2 \sum_j (k_j s_j). \quad (2)$$

Разделив полученное выражение на время t , в течение которого была потреблена энергия, получим рассеиваемую мощность схемы:

$$P = E/t. \quad (3)$$

Таким образом, для оценки динамической мощности необходимо знать суммарное число переключений в схеме и время, в течение которого они произошли.

Статическая мощность не зависит от переключений. Для оценки мощности, рассеиваемой вследствие токов утечки каналов транзисторов и обратных токов p - n -переходов, часто используют следующее выражение [7]:

$$P_{leak} = V_{dd} N K_d I_{leak}, \quad (4)$$

где V_{dd} — напряжение питания; N — число транзисторов; K_d — эмпирический коэффициент, учитывающий особенности применяемой технологии; I_{leak} — ток утечки одного транзистора.

Для схем с резистивной нагрузкой рассеиваемая мощность определяется следующим выражением:

$$P_{stat} = V_{dd} I_{stat}, \quad (5)$$

где V_{dd} — напряжение питания; I_{stat} — суммарный ток резистивной нагрузки.

Для традиционных КМОП технологий (минимальные размеры элементов не переходят в субмикронную область) львиную долю рассеиваемой мощности составляет динамическая мощность. Выражение (3) определяет среднее значение динамической мощности, от которого зависит температура кристалла и выделяемое кристаллом тепло [6]. С другой стороны, часто требуется знать максимальное или пиковое значение рассеиваемой мощности (худший случай), которое определяет пиковое значение тока и соответственно требования к источнику питания. Кроме того, для мобильных устройств большое значение имеет потребляемая энергия, которая определяет время автономной работы.

Дальнейшее совершенствование технологии производства СБИС и уменьшение геометрических размеров элементов приводит к изменению влияния различных источников на суммарное значение рассеиваемой мощности. Так при переходе в субмикронную область значительно возрастает доля статической мощности, которая в основном определяется токами утечки и обратными токами *p-n*-переходов. Если для технологии 1,0 мкм при напряжении питания 3,3 В доля статической мощности составляла всего 0,01%, то для технологии 0,13 мкм и напряжении питания 1,3 В она возрастает до 10%. При дальнейшем уменьшении геометрических размеров элементов доля статической мощности еще больше возрастает и для технологии 0,07 мкм при напряжении питания около 1,0 В она может достигать 50% [8].

Классификация методов оценки рассеиваемой мощности

Методы оценки мощности могут быть классифицированы как [3, 4]:
методы, основанные на моделировании;
статистические методы;
вероятностно-аналитические методы.

Простейший метод получения оценки — моделирование, которое может проводиться как программными средствами, так и аппаратными. На входы схемы подается заданное множество наборов, моделируется работа (поведение) схемы и в результате получают значение мощности. Подобный подход [9] предполагает, что напряжение питания является константой и оценивается только форма потребляемого тока. Это позволяет легко получить мгновенное, среднее и максимальное значения мощности с достаточно высокой точностью (1–5%).

Максимальной точностью и достоверностью обладает подход, основанный на использовании аппаратного моделирования, который предполагает использование тестового кристалла. Однако применение аппаратного моделирования целесообразно только для систем, реализуемых на программируемых интегральных схемах. В отдельных случаях его применяют для систем, реализуемых на базовых матричных кристаллах. При проектировании заказных СБИС применение подхода не оправданно из-за его высокой стоимости.

Программный подход к моделированию основан на использовании детального описания цифровых схем на транзисторном уровне. Поведение транзисторов описывается в виде математической модели с использованием элементарных алгебраических функций и обыкновенных дифференциальных уравнений, а также численных методов их решения [10]. Максимальной точностью и достоверностью обладают классические программы моделирования, которые основаны на автоматическом составлении системы дифференциальных уравнений электрической цепи и их решении некоторыми численными методами. Примером таких программ является SPICE3 [11]. Однако временные затраты на моделирование уже для микросхем средней степени интеграции (содержащих до 50 тыс. транзисторов) для SPICE-подобных программ становятся неоправданно высокими. Поэтому их используют для моделирования фрагментов схем, библиотечных элементов или стандартных ячеек базовых кристаллов.

С другой стороны, методы моделирования на логическом уровне, использующие двоичную логику, обладают максимальным быстродействием. Однако они не учитывают динамические характеристики схемы, поэтому с их помощью можно получить оценку рассеиваемой мощности с большой погрешностью. Попытки совместить быстродействие логического моделирования с возможностью предсказания динамических характеристик СБИС привели к появлению временного моделирования на переключательном уровне [10]. В этом

методе МОП транзистор моделируется линейным сопротивлением, подключенным между истоком и стоком с помощью идеального ключа. Все емкости электрической цепи заменяются на эквивалентные, подсоединенные к общему проводу. Такой подход позволяет получить непрерывную форму сигнала (а не дискретные значения), на основании которой достаточно просто рассчитать рассеиваемую мощность. Для повышения быстродействия систем моделирования логического и схемного уровня используют различные упрощения, такие как моделирование только активной части цепи, применение табличных моделей активных элементов, кусочно-линейную аппроксимацию формы сигнала во времени и т.п.

Основная проблема при получении данной оценки заключается в том, что результирующая мощность зависит от входных (тестовых) наборов. На практике такой подход является серьезным ограничением. Часто требуется оценить мощность части схемы, в то время как остальная часть еще не спроектирована. В этом случае нет информации о входных наборах. Более того, для микропроцессоров, процессоров ЦОС или "систем на кристалле" часто невозможно получить эту информацию, так как неизвестно, в какой системе они будут использоваться.

Статистические методы [12, 13] позволяют решить проблему зависимости оценки рассеиваемой мощности от входных наборов. Идея заключается в моделировании работы схемы при подаче случайно сформированных входных векторов до тех пор, пока не будет получено среднее значение мощности. Данный подход основан на использовании некоторой системы моделирования и не требует применения специальных моделей компонент.

Вероятностные методы [14–16] основаны на информационно-теоретических моделях логических схем. Они предполагают подачу на вход схемы сигналов, которые имеют определяемые пользователем вероятностные характеристики. Для получения оценки мощности рассчитывается переключательная активность внутренних узлов схемы.

Различие между статистическими и вероятностными методами представлено на рис. 1. Статистические методы для получения оценки мощности требуют многократного запуска инструментальных средств для различных входных наборов. Вероятностные методы получают оценку мощности за один проход.



Рис. 1. Альтернативные подходы к получению оценки мощности

Для некоторых функциональных узлов, таких как генераторы последовательностей сигналов, счетчики в режиме прямого или обратного счета, некоторые виды простейших автоматов и т.п., можно аналитически получить точное значение числа переключений. Например, при тестировании памяти определенным тестом происходит фиксированное число операций чтения-записи, что позволяет рассчитать точное число переключений по шинам адреса, данных и управления. Однако область применения данных методов сильно ограничена, так как в общем случае практически невозможно получить аналитические выражения для числа переключений.

Оценка, полученная при использовании статистических методов, сильно зависит от исходного множества входных наборов и количества запусков инструментальных средств. Для

сложной схемы даже однократный запуск требует достаточно больших временных затрат. С другой стороны, данный подход не требует применения специальных моделей компонентов. Вероятностно-аналитические методы, как правило, позволяют значительно сократить временные затраты на моделирование. В то же время для их использования требуются специальные модели компонентов, которые поддерживаются не всеми инструментальными средствами разработки.

Статистические методы оценки рассеиваемой мощности

Идея статистической оценки заключается в многократном моделировании работы исследуемой схемы при подаче на ее входы определенным образом сформированных наборов. Моделирование может производиться с использованием временных или логических моделирующих программ, при этом в каждом проходе получают оценку мощности. Каждое такое измерение дает некоторое значение рассеиваемой мощности, которое воспринимается как случайная переменная. Очевидно, что среднее арифметическое полученных значений будет соответствовать среднему значению рассеиваемой мощности исследуемой схемы. Проблема заключается в том, каким образом выбирать входные наборы и как определить, что полученная оценка мощности совпадает с истинным значением средней мощности. Обычно входные наборы формируются случайным образом, а для получения критерия останковки используют статистические методы, в частности метод Монте-Карло. Этот подход уменьшает проблему зависимости оценки мощности от входных наборов, подаваемых на вход схемы при моделировании.

Рассмотрим основные подходы, используемые для оценки мощности. В [12] представлена методика McPOWER, основанная на использовании метода Монте-Карло и предназначенная для оценки среднего значения суммарной мощности схемы. При формировании оценки используются независимые (некоррелированные) случайные входные наборы. Число таких измерений называется случайной выборкой, чье среднее значение определяет среднюю мощность. Для завершения моделирования необходимо выработать критерий останковки, который показывает, что достигнута требуемая точность оценки.

В [13] экспериментально доказано, что рассеиваемая мощность схемы за период T имеет нормальный закон распределения. Это позволяет использовать следующий критерий останковки. Пусть p — среднее значение мощности, а s — среднеквадратическое отклонение случайной выборки значений мощности, измеренные за период T . Тогда для требуемой погрешности определения мощности в процентах ε при заданном доверительном уровне $(1-\alpha)$ число измерений должно удовлетворять неравенству $N \geq \left((t_{\alpha/2} s) / (\varepsilon p) \right)^2$, где $t_{\alpha/2}$ получается из распределения Стьюдента с $(N-1)$ степенью свободы. На практике данный подход является очень эффективным. Обычно достаточно уже десяти векторов для оценки сложной схемы, содержащей тысячи вентиляей.

В общем случае, при оценке общей рассеиваемой мощности время сходимости метода Монте-Карло тем меньше, чем шире границы ошибки или ниже доверительный уровень. Тем не менее, если выборка не соответствует нормальному распределению, метод Монте-Карло может сходиться к преждевременному ошибочному результату. Более того, этот метод не учитывает пространственную корреляцию на входах схемы.

Как развитие рассмотренного подхода в [4] предложена методика, которая позволяет получить оценку мощности для различных частей схемы. Это позволяет находить узлы или части схемы с высоким уровнем рассеиваемой мощности. Зная эти узлы можно проводить оптимизацию схемы, уменьшая в них переключательную активность, снижая напряжение питания, снижая переключаемую емкость и т.п.

Основное отличие этой работы заключается в критерии останковки для схем, которые содержат узлы с различной переключательной активностью. В этом случае значительно уменьшается скорость сходимости, которая определяется узлами с низкой переключательной активностью. Для решения проблемы для узлов с низкой переключательной активностью

расширяют границы ошибки. Полная ошибка остается маленькой, так как эти узлы вносят в нее незначительный вклад.

Вероятностные методы оценки рассеиваемой мощности

При анализе вероятностных методов оценки рассеиваемой мощности будем использовать определения и соглашения, принятые в [4]. Во-первых, будем считать, что напряжение питания фиксировано и не изменяется в процессе работы схемы. Во-вторых, считаем, что исследуемая схема спроектирована в хорошо структурированном стиле синхронных последовательностных схем. Другими словами, по входам и выходам комбинационной схемы располагаются защелки, переключаемые фронтом импульса синхронизации. В-третьих, при анализе учитывается только динамическая мощность, вызванная переключениями в узлах схемы.

Исторически, первыми появились методики, основанные на вычислении сигнальной вероятности во внутренних узлах схемы. Например, в [14] каждый вход схемы именовался переменной, которая определяла его сигнальную вероятность. Затем для каждого внутреннего узла составлялось алгебраическое выражение, определяющее сигнальную вероятность и зависящее от этих переменных. Пример расчета сигнальной вероятности для инвертора и двухвходовых элементов представлен на рис. 2. Приведенные выражения для выходной вероятности предполагают, что входные переменные являются независимыми. После вычисления сигнальных вероятностей внутренних узлов на основании выражения $p_i(x) = 2p(x)[1 - p(x)]$ рассчитываются вероятности переключения. Полученные значения используются для оценки мощности. Хотя алгоритм вычисления вероятностей является достаточно простым, его временная сложность в худшем случае является экспоненциальной.

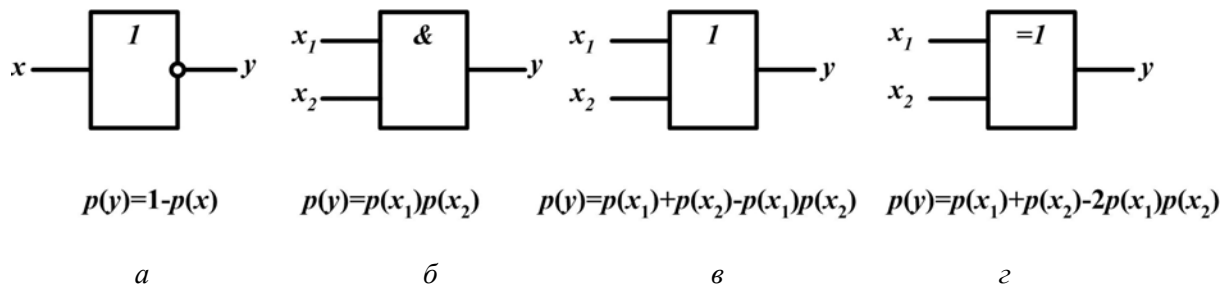


Рис. 2. Выражения для расчета сигнальной вероятности: *a* — элемент НЕ; *б* — элемент 2И; *в* — элемент 2ИЛИ; *г* — элемент "Исключающее ИЛИ"

В [15] предложена точная процедура вычисления сигнальной вероятности, основанная на ориентированном двоичном графе (OBDD — Ordered Binary-Decision Diagrams). Сложность процедуры пропорциональна размерам соответствующего графа, который экспоненциально зависит от количества входов исследуемой схемы. При построении графа необходимо выполнить следующие требования. Во-первых, входные переменные x_i должны быть упорядочены. Во-вторых, каждый уровень графа соответствует единственной переменной. При первом прохождении графа вычисляются алгебраические дополнения, а при обратном прохождении вычисляется сигнальная вероятность для требуемых узлов.

Для общего случая функции $y=f(x_1, x_2, \dots, x_n)$, где x_i — независимы, вычисление сигнальной вероятности может быть выполнено следующим образом. Пусть $f_{x_1}=f(1, x_2, \dots, x_n)$ и $f_{\bar{x}_1}=f(0, x_2, \dots, x_n)$ — алгебраическое дополнение функции f относительно переменной x_1 . Тогда $p(y) = p(x_1)p(f_{x_1}) + p(\bar{x}_1)p(f_{\bar{x}_1})$. Данное выражение позволяет достаточно просто вычислить сигнальную вероятность для всех узлов схемы, на основании которой рассчитывается потребляемая мощность.

Для учета временной корреляции между значениями сигнала в смежных тактах работы в [16] предлагается использовать цепь Маркова с двумя состояниями (0 и 1) и четырьмя дугами. Каждая дуга определяет вероятность перехода из одного состояния в другое. Обозначим p_0 —

вероятность нахождения узла схемы в текущем такте в состоянии логического нуля, соответственно p_1 — вероятность нахождения узла схемы в текущем такте в состоянии логической единицы. Пусть p_{ij} — вероятность перехода из состояния i в состояние j ($i=\{0,1\}$, $j=\{0,1\}$). Тогда переключательная активность узла $E(sw)$ равна $p(0 \rightarrow 1) + p(1 \rightarrow 0)$, где $p(0 \rightarrow 1)$, $p(1 \rightarrow 0)$ — вероятности переключения из состояния 0 в состояние 1 и из состояния 1 в состояние 0 соответственно. При этом $p_0 + p_1 = 1$, $p_{00} + p_{01} + p_{10} + p_{11} = 1$.

Сигнальная вероятность и вероятность переключения не учитывают задержки распространения сигнала внутри схемы. Поэтому они истинны только для модели с нулевыми задержками, так как из анализа полностью выбрасываются паразитные переключения, вызванные неодновременной сменой логических состояний на входе комбинационной схемы. Реальные элементы имеют отличное от нуля время переключения, из-за чего в схеме происходят паразитные переключения. На рис. 3 приведен пример паразитных переключений вследствие задержки сигнала в инверторе. Как показано в [17], доля рассеиваемой мощности из-за паразитных переключений в различных схемах может варьироваться от 9 до 38%.

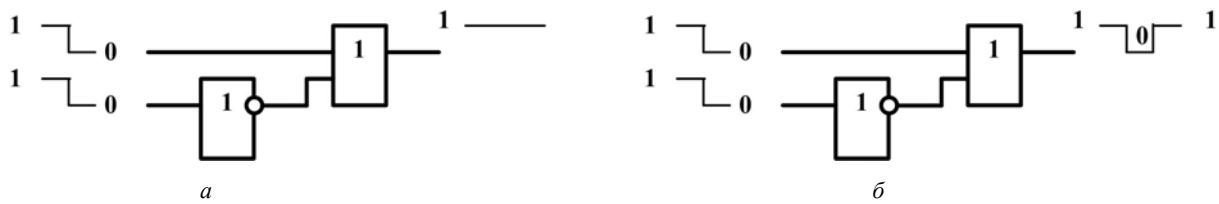


Рис. 3. Работа логической схемы: *a* — модель с нулевыми задержками; *б* — модель с реальными задержками

Для модели с нулевыми задержками средняя рассеиваемая мощность может быть рассчитана по формуле

$$P_{av} = 1/(2T_C) V_{dd}^2 \sum_i C_i p_t(x_i), \quad (6)$$

где T_C — период тактового импульса; C_i — емкость узла x_i ; n — общее число узлов схемы. Исходя из определения вероятности переключения $p_t(x_i)$, в одном такте может происходить не более одного переключения. Однако в реальных схемах за один такт может происходить несколько переключений. Так в 16-разрядном умножителе в некоторых узлах может происходить до 20 переключений за один такт. Поэтому приведенная оценка является *нижней граничной оценкой*. Кроме того, в данной оценке не учитываются зависимости между логическими сигналами, подаваемыми на вход схемы. Другими словами, эти сигналы не коррелированы ни во времени, ни в пространстве.

Для учета паразитных переключений в схеме в [18] предложена методика символьного моделирования схемы с единичными задержками. Основная идея метода заключается в создании для исходной схемы набора символьных функций для всех возможных комбинаций логических значений входов схемы в смежные такты работы. Каждая символьная функция реализуется элементом "Исключающее ИЛИ". Данный подход позволяет учесть все возможные паразитные переключения схемы, на основании чего рассчитывается максимально возможное потребление мощности. Недостатком подхода является его большая трудоемкость уже для схем средней степени интеграции.

В [19] предложена идея использования вероятностных диаграмм для оценки потребляемого тока КМОП схем. Эти диаграммы строятся на основании списка событий, в качестве которых выступают переключения в данном узле. Список формируется для всего времени работы схемы и характеризует вероятность переключения в данном узле в каждый конкретный момент времени. На основании вероятностных диаграмм достаточно просто вычислить переключательную активность данного узла.

В [20] при оценке рассеиваемой мощности используется понятие плотности переключений $D(x)$ сигнала $x(t)$, которая находится как предел отношения числа переключений

$n_x(T)$ к периоду времени T при $T \rightarrow \infty$, т.е. $D(x) = \lim_{T \rightarrow \infty} n_x(T)/T$. Зная это значение, легко вычислить среднюю рассеиваемую мощность:

$$P_{av} = 1/2 V_{dd}^2 \sum_i C_i D(x_i). \quad (7)$$

В работе [21] представлена методика получения оценки переключательной активности многовходовых логических элементов. Основная идея методики заключается в использовании вероятности распространения переключения с входа элемента на его выход. Для оценки числа переключений используется понятие удельной переключательной активности — WSA (Weighed Switching Activity). WSA_i определяет среднее число переключений i -го узла за один такт работы и находится как отношение числа переключений узла (k_i) к общему числу тактов работы (n), или $WSA_i = k_i/n$. Тогда удельная переключательная активность всей схемы за один такт работы WSA_{CLK} может быть найдена — $WSA_{CLK} = \sum_i WSA_i s_i$, где s_i — количество входов логических элементов, подключенных к i -му узлу. Тогда мощность, рассеиваемая в течение одного такта работы схемы, будет:

$$P_{CLK} = 1/(2T_C) V_{dd}^2 C_0 \sum_i WSA_i s_i, \quad (8)$$

где T_C — период тактового импульса, C_0 — нормированной емкостью одного входа. На основании этого значения легко получить оценку как пиковой рассеиваемой мощности, так и максимальную оценку средней рассеиваемой мощности [22]. Кроме того, данная методика позволяет выявлять узлы с повышенной переключательной активностью.

Рассмотренные методы оценки ориентированы главным образом на оценку переключательной активности комбинационных схем. Для схем, содержащих элементы памяти, выполнить такую оценку гораздо сложнее вследствие наличия временной корреляции между предыдущим и последующим состоянием. Одна из первых методик оценки представлена в [23]. Основная идея данной методики заключается в вычислении последующего состояния элементов памяти и проведении символического моделирования логической схемы. В [24] предложена идея использования уравнений Чэпмена–Колмогорова для точного вычисления вероятности нахождения конечного автомата в заданном состоянии. Для конечного автомата, содержащего N триггеров, метод требует решения системы из 2^N линейных уравнений.

Заключение

Основная проблема при получении оценки рассеиваемой мощности заключается в нахождении числа переключений внутри схемы в процессе работы. Однако эта информация не всегда является доступной на этапе проектирования СБИС. Поэтому применяют различные упрощения, которые позволяют получить некоторую оценку рассеиваемой мощности без детальной информации о входных наборах.

С точки зрения достоверности наиболее эффективным является подход, основанный на аппаратном моделировании. С другой стороны, его использование значительно увеличивает стоимость разработки устройства, так как требуется изготовление тестового кристалла. Программное моделирование (с использованием SPICE-подобных систем) также позволяет получить оценку рассеиваемой мощности с достаточно высокой точностью (1–5%). Однако оно требует больших вычислительных затрат, что ограничивает область его применения фрагментами (или функциональными модулями) СБИС.

Статистические подходы к получению оценки рассеиваемой мощности основаны на моделировании цифровых устройств на переключательном уровне и обладают высоким быстродействием. Однако они не учитывают динамические характеристики устройства, поэтому достоверность полученной оценки гораздо ниже. Применение этих подходов не требует

разработки специальных моделей и может быть выполнено практически на любых существующих программных средствах логического моделирования.

Вероятностные подходы обладают максимальным быстродействием, так как требуют однократного вычисления вероятностных характеристик сигналов в узлах схемы. Однако они требуют применения специальных моделей компонентов, которые поддерживаются не всеми системами проектирования.

POWER ESTIMATION METHODS IN DIGITAL CMOS CIRCUITS

I.A. MURASHKO

Abstract

With the advent of portable devices, the power consumption is becoming a critical concern for design of CMOS VLSI. Then, accurate and efficient power estimation during the design phase is very important. This paper presents a survey of power estimation methods for digital CMOS circuits at the logic level of abstraction.

Литература

1. Roy K., Prasad S.C. Low Power CMOS VLSI Circuit Design. New York, 2000.
2. Zorian Y. // Proc. 11th IEEE VLSI Test Symposium (VTS'93), Princeton, NJ, April 6–8, 1993. P. 4–9.
3. Pedram M. // ACM Trans. Design Automation of Electronic Syst. 1996. Vol. 1(1). P. 3–56.
4. Najm F.N. // IEEE Trans. VLSI Systems. 1995. Vol. 2(4). P. 446–455.
5. Мурашко И.А., Ярмолик В.Н. Методы минимизации энергопотребления при самотестировании цифровых устройств. Минск, 2004.
6. Yeap G.P. Practical Low Power Digital VLSI Design. Norwell, 1998.
7. Butts J.A., Sohi G.S. // Proc. 33 ACM/IEEE Int. Symp. on Microarchitecture, Monterey, California, US, December 2000. P. 191–201.
8. Ultra low-Power Electronics and Design / Edited by Macii E. Dordrecht, 2004.
9. Dresig F., Lanches P., Rettig O., Baitinger U.G. // Proc. European Design Automation Conference. 1993. P. 341–346.
10. Денисенко В. // Компоненты и технологии. 2002. № 3. С. 74–78.
11. Quarles T. The SPICE3 Implementation Guide. Tech. Rep. M89–44. Univ. of California, Berkeley, 1989.
12. Burch R., Najm F.N., Yang P., Trick T. // IEEE/ACM Int. Conf. on Computer-Aided Design, Santa Clara, CA, November 8–12, 1992. P. 90–97.
13. Burch R., Najm F.N., Yang P., Trick T. // IEEE Trans. VLSI Systems. 1993. Vol 1(1) P. 63–71.
14. Parker K.P., McCluskey E.J. // IEEE Trans. on Computers. 1975. Vol. C-24. P. 668–670.
15. Chakravarty S. // Proc. 27th Annual Allerton Conference on Communication, Control and Computing, Monticello, IL, September 27–29, 1989. P. 730–739.
16. Marculescu D., Marculescu R., Pedram M. // Proc. Int. Symp. Low Power Design, 1995. P. 81–86.
17. Benini L., Favalli M. Ricco B. // Proc. ACM/IEEE Int. Workshop on Low Power Design, 1994. P. 27–32.
18. Ghosh A., Devadas S., Keutzer K., White J. // Proc. 29th Design Automation Conference, 1992. P. 253–259.
19. Burch R., Najm F., Yang P. Hocevar D. // Proc. 25th ACM Design Automation Conference, 1988. P. 294–299.
20. Najm F.N. // Proc. 28th ACM/IEEE design Automation Conference, San Francisco, CA, June 17–21, 1991. P. 644–649.
21. Yarmolik V., Murashko I. // Proc. 5th International Conference NITe'2002, Minsk, BSEU, 2002. P. 34–38.
22. Murashko I., Yarmolik V., Puczko M. // Весник національного університета "Львівська політехніка". 2004. № 501. С. 47–56.
23. Ghosh A., Devadas S., Keutzer K., White J. // Proc. 29th Design Automation Conference, 1992. P. 253–259.
24. Tsui C-Y. et al. // IEEE Trans. on VLSI Systems. 1995. Vol. 3, № 3. P. 404–416.