



И.А. Мурашко, к.т.н., доцент кафедры программного обеспечения информационных технологий Белорусского государственного университета информатики и радиоэлектроники,

В.Н. Ярмолик, д.т.н., профессор кафедры программного обеспечения информационных технологий Белорусского государственного университета информатики и радиоэлектроники

Новый подход к проектированию средств встроенного самотестирования с пониженным потреблением энергии

Введение

Бурный прогресс в микроэлектронике привел к тому, что большинство разрабатываемых цифровых устройств реализуются в виде систем на кристалле (SoC – System-on-a-Chip). Это вызвало значительные изменения как в процессе проектирования цифровых устройств, так и в проектировании тестово-диагностических средств [1]. Важнейшие изменения коснулись в первую очередь основных показателей, которые определяют эффективность этих средств. Если до недавнего времени основными показателями считались аппаратные затраты на реализацию тестирования, процент покрытия неисправностей и временные затраты на проведение тестирования,

то в настоящее время важнейшими показателями являются стоимость тестирования, процент обнаружения неисправностей и рассеиваемая мощность. Реализация встроенного самотестирования (ВСТ) значительно снижает стоимость и повышает процент покрытия неисправностей, так как проверка может производиться на рабочих частотах и не требуется внешнего тестового оборудования, стоимость которого, как правило, во много раз выше, чем стоимость SoC. Недостатком применения ВСТ является значительное увеличение рассеиваемой мощности в режиме тестирования по сравнению с нормальным режимом работы. По оценкам [2], мощность может увеличиваться в два-три раза. Это вызывает значительное повышение температуры кристалла, что может привести к его повреждению. Кроме того, для мобильных устройств сокращаются сроки непрерывной работы от автономных источников питания. В настоящее время используются различные подходы к снижению уровня потребления энергии, а также средней и пиковой рассеиваемой мощности во время тестирования SoC.

Во-первых, структурные методы минимизации, которые направлены на применение оптимальных с точки зрения потребления энергии и/или рассеиваемой мощности архитектур встроенного самотестирования, а также последовательности проведения тестового эксперимента. Среди этих методов можно выделить распределенное встроенное самотестирование [2], которое предполагает проведение сеанса самотестирования в несколько сессий. В данном подходе основной целью является определение блоков SoC, которые могут тестироваться параллельно в каждой сессии ВСТ, а также количества сессий ВСТ. При этом уменьшается средняя мощность, и, как следствие, снижается температура кристалла. С другой стороны, увеличивается общее время проведения ВСТ. Суммарная потребляемая энергия не уменьшается, а в некоторых случаях возрастает, что не решает проблему времени автономной работы мобильных устройств. Данный подход не требует внесения изменений в тестируемую схему. С другой стороны, не всегда возможно разбить схему на подсхемы без использования дополнительных аппаратных средств. Для решения этой проблемы в [3] предложено деление тестируемой

схемы на отдельные части, которые могут тестироваться независимо друг от друга в различных сессиях.

Во-вторых, минимизация переключательной активности тестируемой схемы при проведении тестирования. Среди этих подходов можно выделить фильтрацию тестовых наборов по некоторому критерию (количество покрываемых неисправностей, число переключений в тестируемой схеме и т.п.) [4]. Другим направлением является разработка генераторов тестовых наборов с уменьшенной переключательной активностью формируемых тестовых последовательностей. Это позволяет уменьшить переключательную активность на входах тестируемой схемы, что приводит к снижению переключательной активности внутри тестируемой схемы при самотестировании. Как правило, такие генераторы строятся на основе LFSR (Linear Feedback Shift Register) и его модификаций [5] или на основе клеточных автоматов [6].

В-третьих, подходы, ориентированные на использование средств ВСТ со сканированием. В [7] предложена идея запрета импульсов синхронизации для снижения рассеиваемой мощности. В [8] авторы предлагают использовать дополнительные схемы для блокирования переключений в комбинационной части при сканировании. Данный подход позволяет ограничивать распространение рассеиваемой мощности при тестировании только цепью сканирования. В [9] представлен метод снижения затрат на тестирование и объемов тестовой информации за счет применения кодирования тестовой информации. В [10, 11] предлагаются методы снижения тестовой рассеиваемой мощности за счет изменения порядка следования сканируемых триггеров или порядка следования импульсов тестовой последовательности. В [12] для уменьшения числа переключений при введении тестовой информации предлагается размещать дополнительные логические элементы между разрядами цепи сканирования. В [13] предлагается новая архитектура средств ВСТ и новая стратегия приложения тестов, которые позволяют значительно уменьшить число паразитных переключений в тестируемой схеме при сдвиге информации по ЦС.

В-четвертых, средства встроенного самотестирования с пониженным потреблением энергии. В [14] предлагается

подбор порождающего полинома генератора псевдослучайных тестовых наборов (ГПТН), который имеет минимальное потребление энергии. В [15] предлагается использовать Т-триггера для снижения переключательной активности источника тестовых воздействий. В [16] для снижения переключательной активности предлагается использовать методику формирования тестовой последовательности с удвоенной частотой.

В данной работе предлагается новый подход к проектированию средств ВСТ с уменьшенной переключательной активностью. Основная идея подхода заключается в снижении частоты синхронизации средств ВСТ без снижения скорости формирования тестовых наборов и сжатия реакций тестируемой схемы. Данный подход предназначен для применения в архитектурах самотестирования «test-per-clock», в которых новый тестовый набор формируется в каждом импульсе синхронизации.

1. Методика оценки потребления энергии

Потребляемая мощность в КМОП схемах может быть разделена на два вида: статическая и динамическая. Как показано в [17], доминирующей является динамическая мощность, так как в статическом режиме через элементы КМОП схемы ток практически не протекает. Динамическая мощность вызвана сквозными токами и перезарядом емкостей логических элементов в момент переключения.

При анализе энергопотребления в качестве базовых элементов примем элемент НЕ и двухвходовые элементы И-НЕ, ИЛИ-НЕ и Исключающее-ИЛИ. D-триггер будем рассматривать как сложный элемент, реализованный на базе простых элементов [16]. При подаче на вход синхронизации одного тактового импульса (0-1-0) в цепи синхронизации произойдет десять переключений, то есть $\alpha_C=10$. Число переключений в цепи данных зависит от того, изменяется ли состояние выхода триггера в данном такте. Если не изменяется, то $\alpha_{D1}=4$, в противном случае - $\alpha_{D1}=13$. Кроме того, в работе используются следующие соглашения: амплитуда переключения равна V_{dd} , где V_{dd} – напряжение питания; элементарным переключением называется переключение на одном входе

логического элемента, емкость которого равна C_0 ; энергия элементарного переключения E_0 (т.е. энергия переключения узла, нагрузкой которого является один вход логического элемента) равна $1/2C_0V_{dd}^2$; емкость узла C_j прямо пропорциональна числу входов логических элементов z_j , подключенных к данному узлу, т.е. $C_j = z_j C_0$. С учетом данных соглашений энергия, потребляемая схемой в i -м такте синхронизации, будет равна:

$$E_i = E_0 \cdot \sum_{j=1}^v (z_j \cdot a_j),$$

где a_j – число переключений j -го узла, v – количество узлов. Соответственно, энергия, потребляемая схемой за n тактов работы, запишется как

$$E = E_0 \left[\sum_{i=1}^n \sum_{j=1}^v (z_j \cdot a_j) \right].$$

Второй множитель данного выражения определяет общее число элементарных переключений в схеме за все время работы, или переключательную активность схемы SA (Switching Activity), которую в дальнейшем будем использовать в качестве оценки энергопотребления. Запишем выражение для переключательной активности:

$$SA = \sum_{i=1}^n \sum_{j=1}^v (z_j \cdot a_j). \quad (1)$$

Для оценки эффективности предлагаемых решений введем относительную характеристику WSA (Weighted Switching Activity), которая определяет среднее число переключений при выполнении некоторой единичной работы. Для генератора тестовых наборов TPG в качестве единичной работы определим формирование одного символа тестовой последовательности. Пусть за время работы сформировано N_1 символов тестовой последовательности, при этом произошло SA_{TPG} переключений. Тогда

$$WSA_{TPG} = \frac{SA_{TPG}}{N_1}. \quad (2)$$

По аналогии, для многоканального сигнатурного анализатора MSA в качестве единичной работы определим сжатие одного символа тестовых реакций схемы:

$$WSA_{MSA} = \frac{SA_{MSA}}{N_2}, \quad (3)$$

где N_2 – число сжимаемых символов тестовых реакций схемы, SA_{MSA} – общее число переключений.

2. Средства ВСТ с алгоритмом работы «test-per-clock»

В настоящее время при организации встроенного само-тестирования широко используется подход, получивший название «test-per-clock», который предполагает формирование нового тестового набора в каждом такте синхронизации. В качестве генератора тестовых наборов TPG для тестируемой схемы CUT используются разряды цепи сканирования SP1, на которую поступает тестовая последовательность, формируемая при помощи LFSR (рис. 1). В качестве устройства сжатия реакций используется многоканальный сигнатурный анализатор MSA, состоящий из цепи сканирования SP2 и одно-канального сигнатурного анализатора OSA (рис. 2). Преимуществом данного подхода является то, что проверка работоспособности осуществляется на рабочих частотах, что позволяет выявлять как статические, так и динамические неисправности.

Анализ работы TPG и MSA показал, что основной вклад в потребление энергии средств ВСТ вносят переключения в цепи синхронизации триггеров [18]. Это объясняется следующими причинами. Импульсы синхронизации поступают на входы синхронизации всех триггеров в каждом такте работы, причем логический уровень в течение одного такта дважды меняет свое значение. По входам данных в течение одного такта логическое значение может измениться только один раз – наихудший случай. В реальных схемах переключательная активность входов данных гораздо ниже [19]. Поэтому предлагается новая архитектура средств ВСТ, в которой частота синхронизации триггеров в два раза меньше. На рисунке 3 представлена структурная схема источника тестов, который рабо-

тает с удвоением частоты (TPG_2x), а на рисунке 4 – структурная схема устройства сжатия реакций, которая за один такт сжимает два символа тестовых реакций по каждому каналу (MSA_2x).

Проведем сравнительный анализ средств ВСТ с точки зрения энергопотребления. Для этого по формуле (1) найдем переключательную активность средств ВСТ, а именно – генератора тестовых наборов и сигнатурного анализатора. В качестве оценки будем использовать удельную переключательную активность этих компонентов при выполнении единичной работы (формулы (2) и (3)).

3. Анализ типовой архитектуры средств ВСТ

Рассмотрим работу генератора тестовых наборов TPG (рис. 1), который состоит из четырехразрядного LFSR с порождающим полиномом $\phi(x)=x^4\oplus x^3\oplus 1$ и четырехразрядной цепи сканирования SP1. Найдем число переключений источника тестовых воздействий при генерации 16 четырехразрядных тестовых векторов. В качестве тестовой последовательности используется псевдослучайная последовательность максимальной длины, или M-последовательность. Все множество внутренних узлов представим в виде трех подмножеств. Первое подмножество S1 включает входы синхронизации ($|S1|=8$). Второе подмножество S2 включает информационные входы триггеров ($|S2|=8$). Третье подмножество S3 включает входы цепи обратной связи, состоящей из двухвходового сумматора по модулю два ($|S3|=2$). Четвертое подмножество S4 включает входы CUT ($|S4|=4$). Переключательную активность входов синхронизации обозначим через SA_{S1} . Учитывая, что число входов синхронизации равно восьми, число импульсов синхронизации равно 16, а каждый импульс синхронизации вызывает десять переключений, получим $SA_{S1}=8\cdot 16\cdot 10=1280$. Для подмножества S2 число входов равно также восьми. На каждый из входов поступает M-последовательность длиной 16 бит, причем в половине случаев значение следующего символа совпадает с предыдущим, а в половине – нет. Поэтому $SA_{S2}=8\cdot(8\cdot 4+8\cdot 13)=1088$. Подмножество S3 состоит из двух входов, на каждом из которых происходит восемь

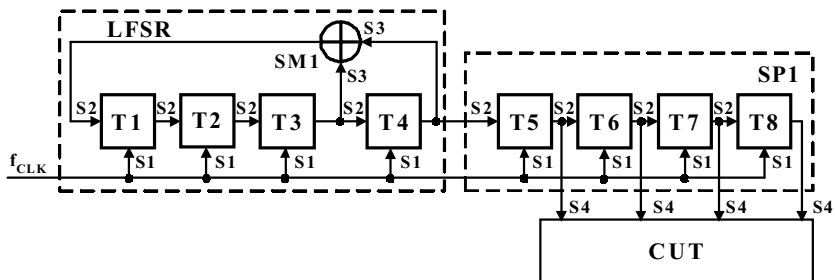


Рис. 1. Генератор тестовых наборов TPG

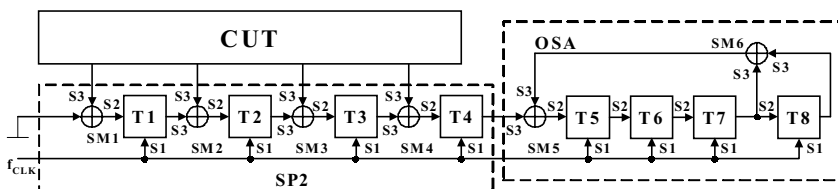


Рис. 2. Многоканальный сигнатурный анализатор MSA

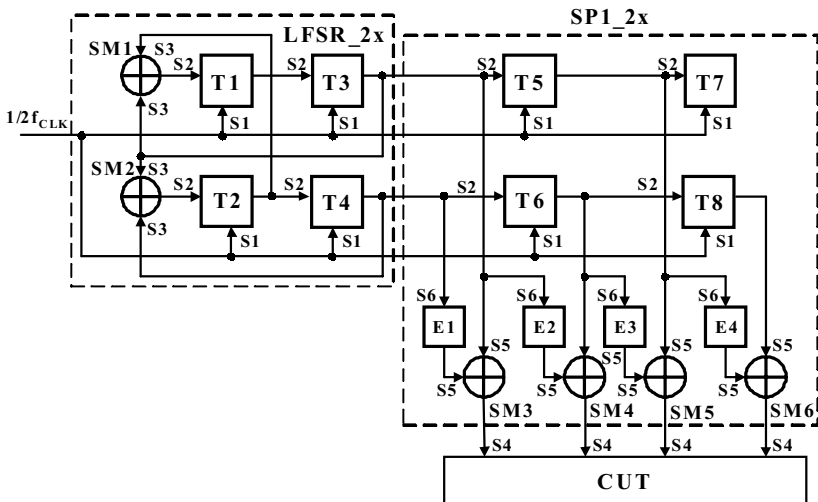


Рис. 3. Источник тестов на основе ГПТН, формирующего два символа за один такт (TPG_2x)

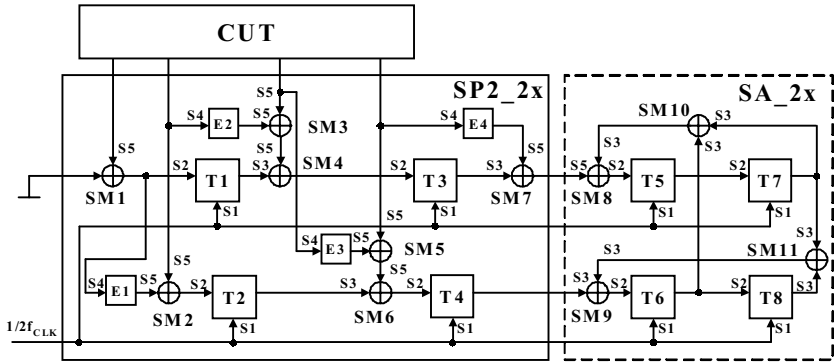


Рис. 4. Многоканальный сигнатурный анализатор, сжимающий два символа за один такт (MSA_2x)

переключений, т. е. $SA_{S_3}=2 \cdot 8=16$. Подмножество S4 состоит из четырех входов, каждый из которых представляет собой единичную нагрузку. Поэтому, $SA_{S_4}=4 \cdot 8=32$. Тогда $SA_{TPG}=SA_{S_1}+SA_{S_2}+SA_{S_3}+SA_{S_4}=2416$. За 16 тактов на тестируемую схему поступит 64 символа M-последовательности. Поэтому, удельная переключательная активность источника тестовых воздействий при формировании одного тестового бита составит:

$$WSA_{TPG}=2416/64=37,75. \quad (4)$$

По аналогии проведем расчет удельной переключательной активности TPG для произвольного случая (m_1 – число разрядов LFSR, k_1 – число разрядов цепи сканирования, которое равно числу входов тестируемой схемы, N – число тактов работы, для упрощения анализа предположим, что N – четное число). Тогда переключательную активность входов синхронизации можно записать:

$$SA_{S_1}=(m_1+k_1) \cdot N \cdot 10=10 \cdot N \cdot (m_1+k_1). \quad (5)$$

В M-последовательности, поступающей на D-входы триггеров, в половине случаев последующий символ совпадает с предыдущим, а в половине – нет, поэтому:

$$SA_{S_2}=(m_1+k_1) \cdot (N/2 \cdot 4+N/2 \cdot 13)=8,5 \cdot N \cdot (m_1+k_1). \quad (6)$$

Подмножество S3 состоит из входов многовходового сумматора по модулю два цепи обратной связи, который, как правило, реализуется некоторой схемой на двухвходовых элементах «Исключающее ИЛИ». Число входов такого сумматора определяется видом примитивного порождающего полинома. В случае, когда порождающий полином имеет вид $\phi(x)=1\oplus x^i\oplus x^{m1}$, число входов минимально и равно двум ($\min(|S3|)=2$). В случае, когда порождающий полином имеет все ненулевые коэффициенты, число входов максимально и равно $2\cdot m1-2$ ($\max(|S3|)=2\cdot m1-2$). В среднем многовходовой сумматор содержит $m1$ вход. Число переключений в M-последовательности, поступающей на каждый вход сумматора по модулю два в цепи обратной связи, равно $N/2$. На основании этого для подмножества S3 запишем выражения для средней переключательной активности – $SA_{S3}=N\cdot m1/2$. На входы тестируемой схемы поступает $L1=k1\cdot N$ символов M-последовательности, поэтому $SA_{S4}=0,5\cdot k1\cdot N$. Таким образом, среднее значение переключательной активности TPG запишется как – $SA_{TPG}=SA_{S1}+SA_{S2}+SA_{S3}+SA_{S4}=(19\cdot m1+19\cdot k1)\cdot N$. Запишем выражения для WSA_{TPG} :

$$WSA_{TPG} = \frac{SA_{TPG}}{L1} = \frac{19\cdot m1}{k1} + 19. \quad (7)$$

Рассмотрим многоканальный сигнатурный анализатор MSA, реализованный на цепи сканирования SP2 и одноканальном сигнатурном анализаторе OSA (рис. 2). При анализе будем считать, что за 16 тактов работы сжимается 64 бита тестовых реакций. Для упрощения расчетов принято, что переключательная активность тестовых реакций равна 0,5. Поэтому переключательная активность подмножеств S1 и S2 не изменилась и равна соответственно $SA_{S1}=1280$, $SA_{S2}=1088$. Отличие данной схемы от схемы на рисунке 1 заключается в том, что подмножество S3 включает в себя кроме сумматора обратной связи (SM6) еще и входы двухвходовых сумматоров SM1 – SM5. Причем у SM1 используется только один вход. С учетом этого, переключательная активность подмножества S3 будет равна $SA_{S3}=11\cdot 16\cdot 0,5=88$. Тогда $SA_{MSA}=SA_{S1}+SA_{S2}+SA_{S3}=1280+1088+88=2456$, а удельная переключательная активность:

$$WSA_{MSA} = 2456/64 = 38,375. \quad (8)$$

По аналогии проведем расчет удельной переключательной активности многовходового сигнатурного анализатора, который состоит из k_2 -разрядной цепи сканирования SP2, m_2 -разрядного OSA, реализованного на основе LFSR, и работает N тактов, причем на его входы поступает $L_2 = k_2 \cdot N$ символов тестовых реакций. Для OSA переключательная активность подмножеств S1 и S2 будет совпадать со значениями переключательной активности TPG (выражения (5) и (6)) при замене m_1 на m_2 и k_1 на k_2 , то есть $SA_{S_1} = 10 \cdot N \cdot (m_2 + k_2)$, $SA_{S_2} = 8,5 \cdot N \cdot (m_2 + k_2)$. Подмножество S3 дополнится k_2 двухвходовыми сумматорами в SP2 (причем у одного из них используется только один вход) и входным сумматором на входе OSA. Поэтому для подмножества S3 можно записать: $SA_{S_3} = (0,5m_2 + k_2 + 0,5) \cdot N$. На основании этих выражений среднее значение переключательной активности MSA запишется: $SA_{MSA} = SA_{S_1} + SA_{S_2} + SA_{S_3} = (19,5 \cdot m_2 + 19,5 \cdot k_2 - 0,5) \cdot N$. Учитывая, что с выхода тестируемой схемы поступает $L_2 = k_2 \cdot N$ символов тестовых реакций:

$$WSA_{MSA} = \frac{SA_{MSA}}{L_2} = \frac{19 \cdot m_2 + 0,5}{k_2} + 19,5. \quad (9)$$

4. Анализ новой архитектуры средств ВСТ

На рисунке 3 представлена структура источника тестов, который работает с удвоением частоты (TPG_{2x}). Он состоит из двух частей – генератора псевдослучайных тестовых наборов (LFSR_{2x}) и цепи сканирования (SP1_{2x}), которая формирует тестовые наборы с удвоенной частотой, то есть за один такт синхронизации на тестируемую схему поступает два четырехразрядных вектора. Найдем переключательную активность TPG_{2x} при подаче 16 импульсов синхронизации. При этом на тестируемую схему поступит 128 бит тестовой последовательности.

Переключательная активность подмножеств S1 и S2 не изменилась (по сравнению со схемой на рисунке 1) и равна соответственно $SA_{S_1} = 8 \cdot 16 \cdot 10 = 1280$, $SA_{S_2} = 8 \cdot (8 \cdot 4 + 8 \cdot 13) = 1088$. Для работы LFSR_{2x} требуется два сумматора в цепи обратной связи, поэтому $SA_{S_3} = 4 \cdot 8 = 32$. Подмножество S4 состоит

из четырех входов CUT, однако в отличие от схемы на рисунке 1, за 16 тактов работы на каждый из них поступит 32 символа M-последовательности (то есть произойдет 16 переключений), поэтому $SA_{S_4}=4 \cdot 16=64$. По сравнению со схемой на рисунке 1, здесь добавились два подмножества – S5 и S6. Подмножество S5 состоит из восьми входов сумматоров SM3-SM6, поэтому $SA_{S_5}=8 \cdot 8=64$. Подмножество S6 состоит из четырех входов элементов задержки E1-E4, поэтому $SA_{S_6}=4 \cdot 8=32$.

Таким образом, $SA_{TPG_2x}=SA_{S_1}+SA_{S_2}+SA_{S_3}+SA_{S_4}+SA_{S_5}+SA_{S_6}=2560$. Учитывая, что за 16 тактов будет сформировано 128 бит тестовой последовательности, запишем:

$$WSA_{TPG_2x}=2560/128=20. \quad (10)$$

Полученное значение практически в два раза меньше, чем WSA_{TPG} из (4).

Проведем расчет удельной переключательной активности генератора тестовых наборов, работающего с удвоением частоты, для произвольного случая ($m1$ – число разрядов генератора, $k1$ - число разрядов цепи сканирования, N – число тактов работы. Для упрощения анализа примем, что N – четное число). При этом на входы тестируемой схемы поступит $L1=2 \cdot k1 \cdot N$ символов M-последовательности.

Для TPG_2x переключательная активность подмножеств S1 и S2 будет совпадать со значениями переключательной активности TPG (выражения (5) и (6)). Подмножество S3 состоит из двух сумматоров обратной связи. В общем случае число входов этих сумматоров может составлять от четырех для минимальной реализации (подобно примеру на рисунке 3) до $2 \cdot (2m1-2)$. Поэтому для подмножества S3 запишем выражения для средней переключательной активности – $SA_{S_3}=m1 \cdot N$. На входы тестируемой схемы поступает $L1=2 \cdot k1 \cdot N$ символов M-последовательности, поэтому $SA_{S_4}=k1 \cdot N$. Подмножество S5 состоит из $2 \cdot k1$ входов, на каждом из которых произойдет $N/2$ переключений, поэтому $SA_{S_5}=2 \cdot k1 \cdot N/2= k1 \cdot N$. Подмножество S6 состоит из входов $k1$ -го элемента задержки, поэтому $SA_{S_6}=k1 \cdot N/2=0,5 \cdot k1 \cdot N$. Таким образом, $SA_{TPG_2x}=SA_{S_1}+SA_{S_2}+SA_{S_3}+SA_{S_4}+SA_{S_5}+SA_{S_6}=(19,5 \cdot m1+21 \cdot k1)N$.

Учитывая, что на входы тестируемой схемы поступает $L1=2 \cdot k1 \cdot N$ символов M-последовательности, получим:

$$WSA_{TPG_2x} = \frac{SA_{TPG_2x}}{L1} = \frac{9,75 \cdot m1}{k1} + 10,5. \quad (11)$$

На рисунке 4 представлена схема сжатия реакций, которая за один такт сжимает два символа тестовых реакций по каждому каналу (MSA_2x). Она состоит из двух структурных частей – цепи сканирования $SP2_2x$ и двухканального сигнатурного анализатора SA_2x . Пусть на схему подается 16 импульсов синхронизации, тогда MSA_2x сожмет 128 бит тестовых реакций.

Переключательная активность подмножества $S1$ не изменилась, поэтому $SA_{S1}=8 \cdot 16 \cdot 10=1280$. Число входов D-триггеров осталось прежним, но на триггерах D1-D5 происходят дополнительные переключения между активными фронтами импульсов синхронизации, поэтому $SA_{S2}=8 \cdot 16 \cdot 8,5+5 \cdot 8=1128$. Подмножество $S3$ состоит из входов сумматоров SM1-SM11 с низкой переключательной активностью ($|S3|=10$), поэтому $SA_{S3}=10 \cdot 16 \cdot 0,5=80$. Оставшиеся входы сумматоров имеют высокую (удвоенную) переключательную активность, поэтому они включены в подмножество $S5$. Учитывая, что один из входов SM1 не используется, получим $|S5|=11$, следовательно, $SA_{S5}=11 \cdot 32 \cdot 0,5=176$. Подмножество $S4$ состоит из четырех входов элементов задержки E1-E4, поэтому $SA_{S4}=4 \cdot 32 \cdot 0,5=64$. Таким образом, $SA_{MSA_2x}=SA_{S1}+SA_{S2}+SA_{S3}+SA_{S4}+SA_{S5}=2728$. Получили:

$$WSA_{MSA_2x}=2728/128=21,3. \quad (12)$$

Анализируя (8) и (12), можно видеть, что MSA_2x требуется в 1,8 раз меньше переключений при сжатии одного символа тестовых реакций по сравнению с типовым сигнатурным анализатором MSA на рисунке 2.

Проведем расчет удельной переключательной активности многовходового сигнатурного анализатора MSA_2x , который состоит из $k2$ -разрядной цепи сканирования $SP2_2x$, $m2$ -разрядного SA_2x , реализованного на основе $LFSR_2x$, и работает N тактов, причем за его входы поступает $L2=2 \cdot k2 \cdot N$ символов тестовых реакций.

Для MSA_{2x} переключательная активность подмножества S1 будет определяться выражением (5) при замене m1 на m2 и k1 на k2, то есть SA_{S1}=10·N·(m2+k2). Переключательная активность подмножества S2, по сравнению с (6), при замене m1 на m2 и k1 на k2, возрастет на величину (k2+1)·N/2 и составит SA_{S2}=8,5·N·(m2+k2)+(0,5·k2+0,5)·N. Подмножество S3 включает в себя входы сумматоров с низкой переключательной активностью. В цепи сканирования SP2_{2x} располагается (2·k2-1) двухвходовой сумматор по модулю два, причем (k2-1) вход этих сумматоров подключен к выходам триггеров цепи сканирования и имеет низкую переключательную активность. В SA_{2x} по входу расположены два двухвходовых сумматора по модулю два, причем три входа имеют низкую переключательную активность. Кроме того, в SA_{2x} расположены два многовходовых сумматора в цепи обратной связи, входы которых имеют низкую переключательную активность. Число входов сумматоров при минимальной реализации равно четырем, а при максимальной реализации – 2·(2·m2-2). Поэтому для подмножества S3 запишем выражение для средней переключательной активности – SA_{S3}=(0,5·k2+m2+1)·N. Остальные входы сумматоров, расположенных в SP2_{2x} (за исключением одного входа, который имеет нулевую переключательную активность), и один вход в SA_{2x} входят в S5 и имеют удвоенную переключательную активность. Таким образом, SA_{S5}=(3·k2-1)·N. Входы элементов задержки имеют удвоенную переключательную активность, поэтому SA_{S4}=k2·N. Получили, SA_{MSA_{2x}}=SA_{S1}+SA_{S2}+SA_{S3}+SA_{S4}+SA_{S5}=(19,5·m2+23,5·k2-0,5)·N. Учитывая, что L2=2·k2·N, найдем среднее значения удельной переключательной активности MSA_{2x}:

$$WSA_{MSA_{2x}} = \frac{SA_{MSA_{2x}}}{L2} = \frac{9,75 \cdot m2 - 0,25}{k2} + 11,75. \quad (13)$$

5. Оценка эффективности новой архитектуры средств ВСТ

Для оценки эффективности предлагаемого подхода составим функции fp1(m1,k1) и fp2(m2,k2), которые показывают процентное соотношение удельной переключательной актив-

ности средств ВСТ, работающих с удвоением частоты, по отношению к традиционным средствам (за 100% принята удельная переключательная активность традиционных средств):

$$fp1(m1,k1) = \frac{WSA_{TPG_2x}}{WSA_{TPG}} \cdot 100 = \frac{(9,75 \cdot m1 + 10,5 \cdot k1)}{19 \cdot m1 + 19 \cdot k1} \cdot 100,$$

$$fp2(m2,k2) = \frac{WSA_{MSA_2x}}{WSA_{MSA}} \cdot 100 = \frac{(9,75 \cdot m2 + 11,75 \cdot k2 + 0,25)}{19 \cdot m2 + 19,5 \cdot k2 + 0,5} \cdot 100.$$

Графики функций $fp1(m1,k1)$ и $fp2(m2,k2)$ представлены на рисунке 5. Для компактности представления зафиксировано значение старшей степени порождающего полинома генератора и анализатора, то есть $m1=m2=20$, а разрядность цепей сканирования изменяется в пределах от 10 до 1000.

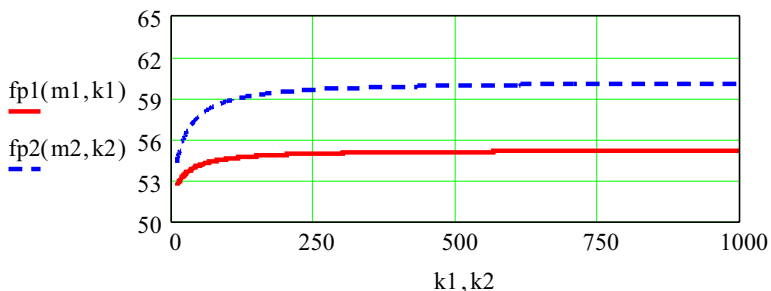


Рис. 5. Удельная переключательная активность средств ВСТ, работающих с удвоением частоты: $fp1(m1,k1)$ – при генерации тестовых наборов, $fp2(m2,k2)$ – при сжатии реакций тестируемой схемы

Анализ графиков, представленных на рисунке 5, показывает, что применение предлагаемого метода позволяет значительно снизить удельную переключательную активность средств встроенного самотестирования. Так при генерации тестовых наборов в среднем WSA снижается на 45%, а при сжатии реакций – на 40%. Соответственно, снижается и энергопотребление в процессе проверки работоспособности.

Заключение

Предлагается новая архитектура самотестирования, которая позволяет в два раза снизить тактовую частоту средств ВСТ. При этом частота формирования псевдослучайных тестовых наборов и сжатия реакций тестируемой схемы остается без изменения. Применение новой архитектуры позволяет на 40-45% снизить энергопотребление средств ВСТ. Предлагаемый подход легко адаптировать под детерминированные тестовые наборы.

Использование предлагаемого подхода не требует модификации тестируемой схемы и библиотечных элементов. Дополнительные аппаратные затраты составляют один двухвходовой элемент «Исключающее-ИЛИ» и один элемент задержки на каждый разряд цепи сканирования, а также по одному многовходовому сумматору по модулю два в генераторе и сигнатурном анализаторе.

Литература

1. Crouch A. Design-for-Test for Digital IC's and Embedded Core Systems. – Prentice Hall, 1999. – 347 p.
2. Zorian Y. A Distributed BIST Control Scheme for Complex VLSI Devices // Proc. 11th IEEE VLSI Test Symposium (VTS'93), Princeton, NJ, April 6-8, 1993. – P. 4-9.
3. Girard P., Guiller L., Landrault C., Pravossoudovitch S. Circuit Partitioning for Low Power BIST Design with Minimized Peak Power Consumption // IEEE Asian Test Symposium. – 1999. – P. 89-94.
4. Manich S. et al. Low Power BIST by Filtering Non-Detecting Vectors // Journal of Electronic Testing: Theory and Applications (JETTA). – V. 16. – № 3. – 2000. – P. 193-202.
5. Wang S., Gupta S.K. DS-LFSR: A New BIST TPG for Low Heat Dissipation // Proc. IEEE Int. Test Conf., November 1997. – P. 848-857.
6. Corno F., Rebaudengo M., Sonza Reorda M., Squillero G., Violente M. Low Power BIST via Non-Linear Hybrid Cellular Automata // IEEE VLSI Test Symp. – 2000. – P. 29-34.

7. Sankaralingam R., Pouya B., Touba N. A. Reducing power dissipation during test using scan chain disable // Proc. of IEEE VLSI Test Symposium. – 2001. – P. 319-324.

8. Gerstendofer S., Wunderlich H. J. Minimized power consumption for scan-based BIST // Proc. IEEE Int. Test Conference, 1999. – P. 77-84.

9. Chandra A., Chakrabarty K. Low-power scan testing and test data compression for systems-on-a-chip // IEEE Trans, on CAD of ICAS. – V. 21. № 5. – 2002. – P. 597-604.

10. Bonhomme Y., Girard P., Landrault C., Pravossoudovitch S. Power driven chaining of flip-flops in scan architectures. // Proc. of IEEE Int. Test Conference. – 2002. – P. 796-803.

11. Dabholkar V., Chakravarty S., Pomeranz I., Reddy S. M. Techniques for minimizing power dissipation in scan and combinational circuits during test application // IEEE Trans. on Computer-Aided Design of ICAS. –V. 17. – № 12. – 1998. – P. 1325-1333.

12. Sinanoglu O., Orailoglu A. Modeling Scan Chain Modifications For Scan-in Test Power Minimization // Proc. of IEEE Int. Test Conference. – 2003. – P. 602-611.

13. Nicolici N., Al-Hashimi B. Multiple scan chains for power minimization during testing application in sequential circuits // IEEE Trans. on Computers. – V. 51. – № 6. – 2002. – P. 721-734.

14. Brazzarola M., Fummi F. Power Characterization of LFSRs // Proc. International Symposium on Defect and Fault Tolerance in VLSI Systems. – 1999. – P. 138-146.

15. Мурашко И.А., Ярмолик В.Н. Минимизация рассеиваемой мощности средств встроенного самотестирования // 5-я МНК «Автоматизация проектирования дискретных устройств», Минск, 16-17 ноября 2004. – Мн.:ОИПИ НАН Беларуси. – Том 2. – С. 64-73.

16. Мурашко И.А., Ярмолик В. Н. Методика снижения энергопотребления генератора псевдослучайных тестовых наборов для встроенного самотестирования // Автоматика и телемеханика. Т. 65. – № 8. – 2004. – С. 102-114.

17. Yeap G. P., Practical Low Power Digital VLSI Design. – Norwell: Kluwer Academic Publisher, 1998. – 212 p.

18. Ярмолик В.Н., Мурашко И.А. Методы и средства встроенного самотестирования с пониженным потреблением энергии // Доклады БГУИР. – № 1(5). – 2004. – С.102-114.

19. Svensson C., Yuan, J. Latches and Flip-flops for Low Power Systems // in book:Low Power CMOS Design- Chandrakasan, A. and Brodersen, B. eds. – IEEE Press 1998. – P. 233-238.

