

Министерство образования Республики Беларусь

Учреждение образования
«Гомельский государственный технический
университет имени П. О. Сухого»

Кафедра «Промышленная электроника»

СХЕМОТЕХНИКА ЦИФРОВЫХ УСТРОЙСТВ

ПРАКТИКУМ

**по выполнению лабораторных работ
для студентов специальности 1-36 04 02
«Промышленная электроника»
дневной и заочной форм обучения**

Электронный аналог печатного издания

Гомель 2023

УДК 621.37/39(075.8)
ББК 32я73
С92

*Рекомендовано к изданию научно-методическим советом
факультета автоматизированных и информационных систем
ГГТУ им. П. О. Сухого
(протокол № 10 от 10.06.2022 г.)*

Составитель *Ю. Е. Котова*

Рецензент: доц. каф. «Информационные технологии» ГГТУ им. П. О. Сухого канд. техн. наук, доц. *В. С. Захаренк*

С92 **Схемотехника** цифровых устройств : практикум по выполнению лаборатор. работ для студентов специальности 1-36 04 02 «Промышленная электроника» днев. и заоч. форм обучения / сост. Ю. Е. Котова. – Гомель : ГГТУ им. П. О. Сухого, 2023. – 74 с. – Систем. требования: PC не ниже Intel Celeron 300 МГц ; 32 Mb RAM ; свободное место на HDD 16 Mb ; Windows 98 и выше ; Adobe Acrobat Reader. – Режим доступа: <https://elib.gstu.by>. – Загл. с титул. экрана.

ISBN 978-985-535-522-0.

Предназначен для получения и закрепления знаний, требуемых в рамках учебной программы по предмету «Схемотехника цифровых устройств», на лабораторных занятиях и при самостоятельной работе.

Для студентов специальности 1-36 04 02 «Промышленная электроника» дневной и заочной форм обучения.

УДК 621.37/39(075.8)
ББК 32я73

ISBN 978-985-535-522-0

© Котова Ю. Е., составление, 2023
© Учреждение образования «Гомельский государственный технический университет имени П. О. Сухого», 2023

Предисловие

Практикум содержит пять разделов, каждый из которых представляет собой отдельное лабораторное занятие с необходимыми теоретическими сведениями, рекомендациями и заданиями по синтезу, физическому макетированию и исследованию типовых и оригинальных цифровых устройств на установке *IDL-800 Digital lab* и заданиями для самостоятельного выполнения. Прежде чем приступить к выполнению заданий, настоятельно рекомендуется изучить теоретическую часть для понимания основных принципов и разобрать приведенные примеры.

Стоит отметить, что данный практикум содержит достаточный, но не исчерпывающий уровень материала для подготовки по данной дисциплине. Поэтому для более углубленной проработки материала рекомендуется обратиться к использованным при составлении практикума источникам.

Лабораторная работа № 1

ИССЛЕДОВАНИЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

1. Цель работы

Изучение основных логических функций алгебры логики и способы их получения с помощью базовых логических элементов.

Используемое оборудование:

- универсальная лабораторная установка *IDL-800* (см. приложение);
- четыре логических элемента 2И-НЕ – ИС КР1533ЛА3 (74ALS00);
- четыре логических элемента 2ИЛИ-НЕ – ИС КР1533ЛЕ1 (74ALS02);
- шесть логических элементов НЕ – ИС КР1533ЛН1 (74ALS04);
- четыре логических элемента 2И – ИС КР1533ЛИ1 (74ALS08);
- четыре логических элемента 2ИЛИ – ИС КР1533ЛЛ1 (74ALS32);
- четыре двухвходовых элемента ИСКЛЮЧАЮЩЕЕ ИЛИ – ИС КР1533ЛП5 (74ALS86).

2. Основные теоретические сведения

Называемая в честь английского математика Джорджа Буля *булевой алгеброй* алгебра логики составляет теоретическую основу логики, теории алгоритмов и логического проектирования цифровых схем. Отличие булевой алгебры от традиционной главным образом состоит в том, что первая оперирует с константами и переменными, принимающими только два возможных значения – 0 или 1.

Булева переменная – это параметр, который в различных случаях принимает значение 0 или 1. Эти переменные часто используют для представления уровня напряжения в проводнике или на контакте ввода-вывода схемы. Например, булево значение 0 может быть назначено для представления любого напряжения в диапазоне от 0 до 0,8 В, в то время как значение 1 характерно для представления любого напряжения в диапазоне от 2 до 5 В [1].

Таким образом, булевы 0 и 1 не являются реальными величинами, а представляют состояния переменной напряжения, или так называемые *логические уровни*. Напряжение в цифровой схеме представляет логический уровень 0 или логический уровень 1 – в зависимости от присущих ему действительных численных значений.

Логическая функция может быть задана словесно, алгебраическим выражением и таблицей, которая называется *таблицей истинности*.

Действия над двоичными переменными производятся по правилам логических операций. Между обычной, привычной нам алгеброй и алгеброй логики имеются существенные различия в отношении количества и характера операций, а также законов, которым они подчиняются [2].

Простейших логических операций три: *логическое умножение* (конъюнкция, операция И), *логическое сложение* (дизъюнкция, операция ИЛИ) и *отрицание* (инверсия, операция НЕ). Более сложные логические преобразования можно свести к указанным операциям.

Логические элементы, реализующие элементарные функции алгебры логики

Наиболее часто встречаются следующие названия и буквенные обозначения функции И: логическое умножение, конъюнкция, совпадение, AND, И. Возможные виды алгебраической записи функции И: $F = A \wedge B$; $F = A \cdot B$; $F = AB$.

Условное графическое обозначение логического элемента, реализующего функцию И, изображено на рис. 1.1.

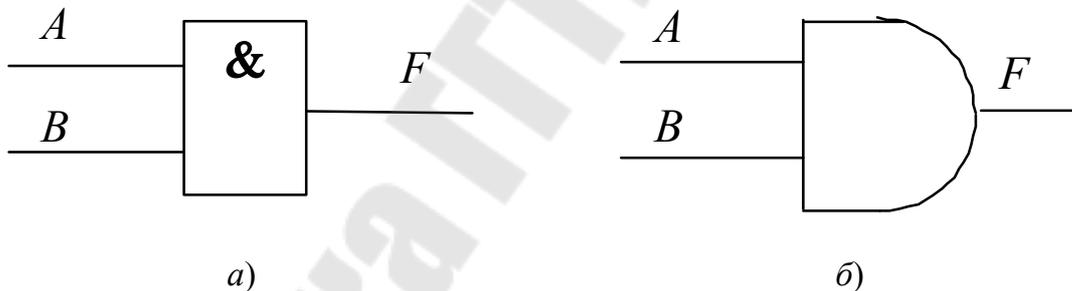


Рис. 1.1. Условное графическое обозначение логического элемента, реализующего функцию И:

a – в отечественных схемах; б – обозначение в соответствии с американской системой MILSPEC 806B

Наиболее часто встречаются следующие названия и буквенные обозначения функции ИЛИ: логическое сложение, дизъюнкция, OR, ИЛИ. Алгебраическая запись функции ИЛИ: $F = A \vee B$; $F = A + B$.

Условное графическое обозначение логического элемента, реализующего функцию ИЛИ, изображено на рис. 1.2.

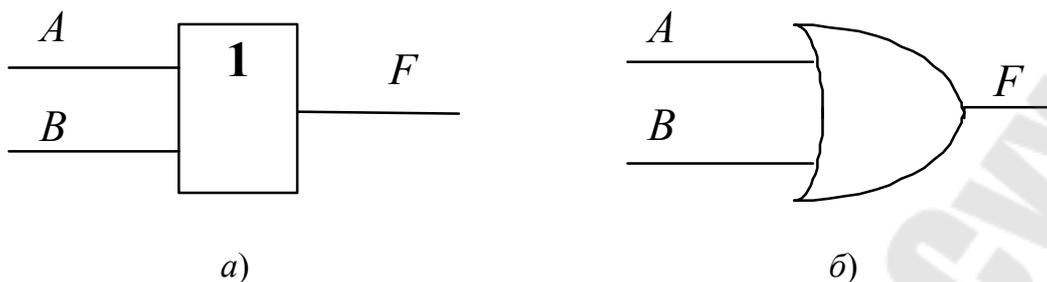


Рис. 1.2. Условное графическое обозначение логического элемента, реализующего функцию ИЛИ:
a – в отечественных схемах; *б* – обозначение в соответствии с американской системой MILSPEC 806B

Наиболее часто встречаются следующие названия и буквенные обозначения функции НЕ: логическое отрицание, инверсия, дополнение, *NOT*, НЕ. Возможные виды алгебраической записи функции НЕ: $F = A'$; $F = \bar{A}$.

Условное графическое обозначение логического элемента, реализующего функцию НЕ, изображено на рис. 1.3.

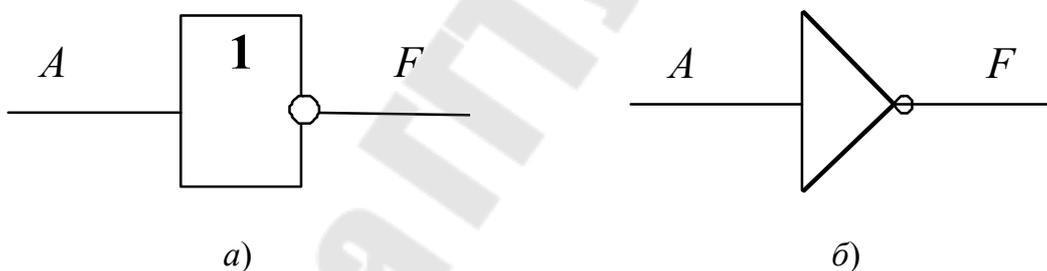


Рис. 1.3. Условное графическое обозначение логического элемента, реализующего функцию НЕ:
a – в отечественных схемах; *б* – обозначение в соответствии с американской системой MILSPEC 806B

Хочется отметить еще один логический элемент для реализации двухвходовой функции ИСКЛЮЧАЮЩЕЕ ИЛИ, булево выражение которого в двухвходовом случае совпадает с булевым выражением для сумматора по модулю 2 и имеет следующий вид: $F = \bar{A}B + A\bar{B}$.

Условное графическое обозначение логического элемента, реализующего функцию ИСКЛЮЧАЮЩЕЕ ИЛИ, изображено на рис. 1.4.

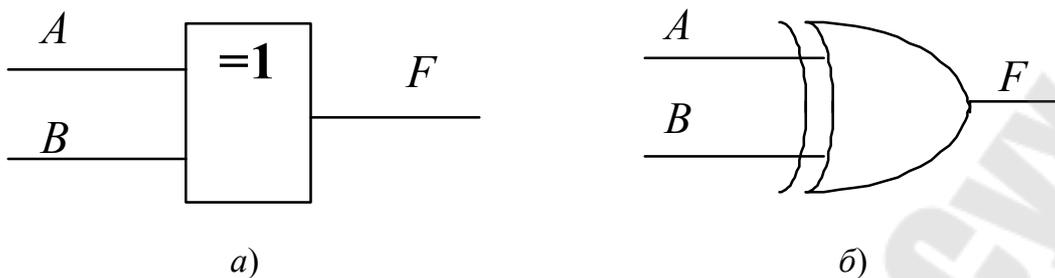


Рис. 1.4. Условное графическое обозначение логического элемента, реализующего функцию ИСКЛЮЧАЮЩЕЕ ИЛИ:
a – в отечественных схемах; *б* – обозначение в соответствии с американской системой MILSPEC 806B

Следует заметить, что данные элементы очень широко применяются в цифровой схемотехнике.

Три вышеописанные логические функции (И, ИЛИ, НЕ), с помощью которых можно получить все остальные логические функции, называют *булевым базисом*.

Инвертирующие базисы, отрицательная логика

Логика называется *положительной*, если высокий потенциал отображает единицу, а низкий – ноль. Если наоборот, высокий потенциал отображает ноль, а низкий – единицу, то логика называется *отрицательной*. Данное правило называют логическим соглашением.

Самым важным следствием применения отрицательной логики является то, что при переходе от положительной логики к отрицательной функция И превращается в ИЛИ, и наоборот. Благодаря этому переходу от И к ИЛИ удастся с помощью одностипных элементов инвертирующего базиса получать все остальные логические функции. Об этом говорят два постулата де Моргана: $\overline{AB} = \overline{A} + \overline{B}$; $\overline{A + B} = \overline{A} \cdot \overline{B}$.

Если логический элемент в положительной логике реализует функцию И, то в отрицательной логике этот же элемент реализует функцию ИЛИ, и наоборот, логический элемент ИЛИ положительной логики реализует функцию И в отрицательной логике. Иногда объединяют две булевы функции (при этом одной из них является НЕ), а получившийся логический элемент считают базовым для получения всех остальных логических функций.

Элемент И-НЕ называют также штрихом Шеффера (*Sheffer stroke*), *NAND* (сокращение от *NOT AND*). Алгебраическая запись функции И-НЕ: $F = \overline{AB}$.

Условное графическое обозначение логического элемента, реализующего функцию И-НЕ, изображено на рис. 1.5.

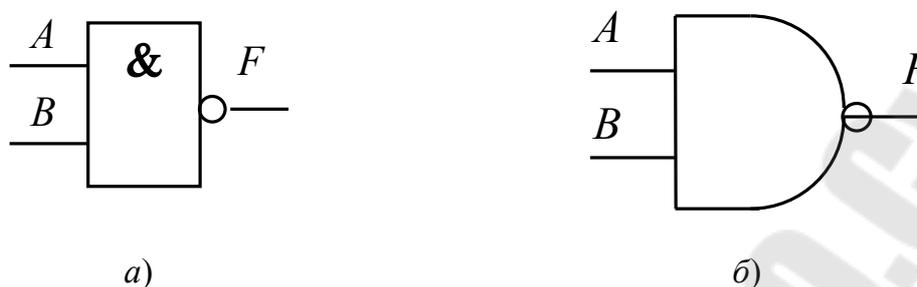


Рис. 1.5. Условное графическое обозначение логического элемента, реализующего функцию И-НЕ:
a – в отечественных схемах; *б* – обозначение в соответствии с американской системой MILSPEC 806B

Элемент ИЛИ-НЕ называют также стрелкой Пирса (*Pierce arrow*), *NOR* (сокращение от *NOT OR*). Алгебраическая запись функции ИЛИ-НЕ: $F = A \downarrow B$; $F = \overline{A + B}$

Условное графическое обозначение логического элемента, реализующего функцию ИЛИ-НЕ, изображено на рис. 1.6.

Применение наряду с положительной логикой и отрицательной логики позволяет любое сложное логическое преобразование выполнить с применением только логических элементов И-НЕ или только ИЛИ-НЕ.

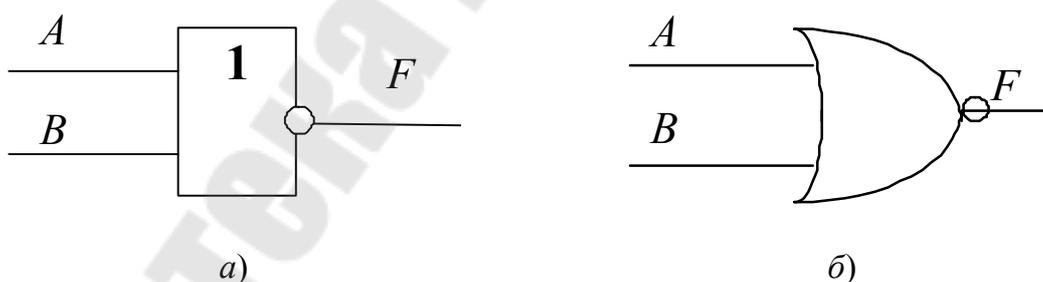
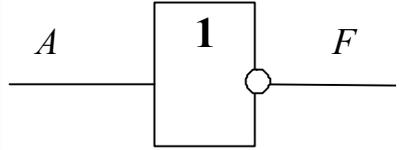
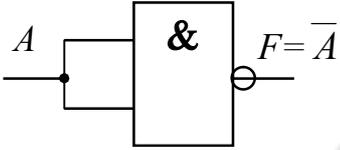
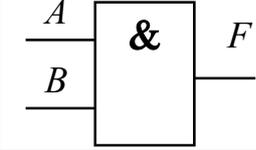
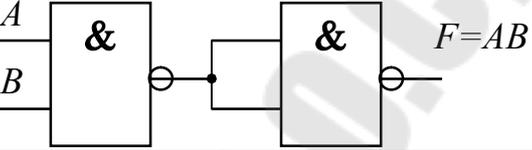
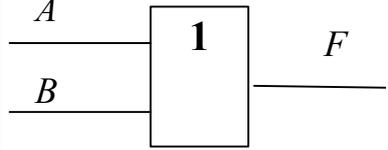
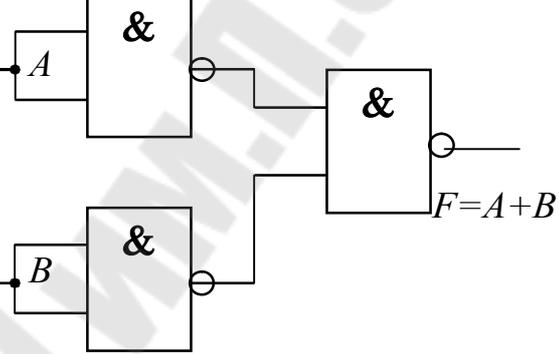


Рис. 1.6. Условное графическое обозначение логического элемента, реализующего функцию ИЛИ-НЕ:
a – в отечественных схемах; *б* – обозначение в соответствии с американской системой MILSPEC 806B

В табл. 1.1. представлены схемы, реализующие функции с помощью только логических элементов 2И-НЕ:

Схемы, реализующие функции с помощью логических элементов 2И-НЕ

НЕ		
И		
ИЛИ		

3. Порядок выполнения работы

Чтобы определить нахождение первой ножки, нужно найти на корпусе «ключ». Порядок нумерации выводов микросхем приведен на рис. 1.7 (вид сверху). Нумерация начинается слева от ключа и далее продолжается против хода часовой стрелки.

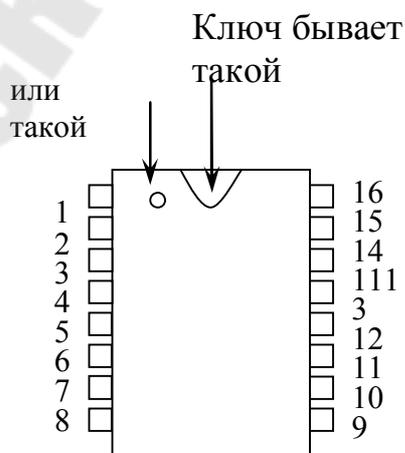


Рис. 1.7. Нумерация выводов микросхем (вид сверху)

3.1. Исследование логических элементов И

3.1.1. Двухвходовый элемент И.

Разместить ИС КР1533ЛИ1 на наборной панели IDL-800.

Вывод 14 ИС соединить с источником питания +5V, а его вывод 7 – с общей шиной установки (рис. 1.8, а). Собрать схему как показано на рис. 1.8, б.

Изменяя состояния входов A и B с помощью переключателей SW, заполнить таблицу истинности логического элемента 2И (табл. 1.2).

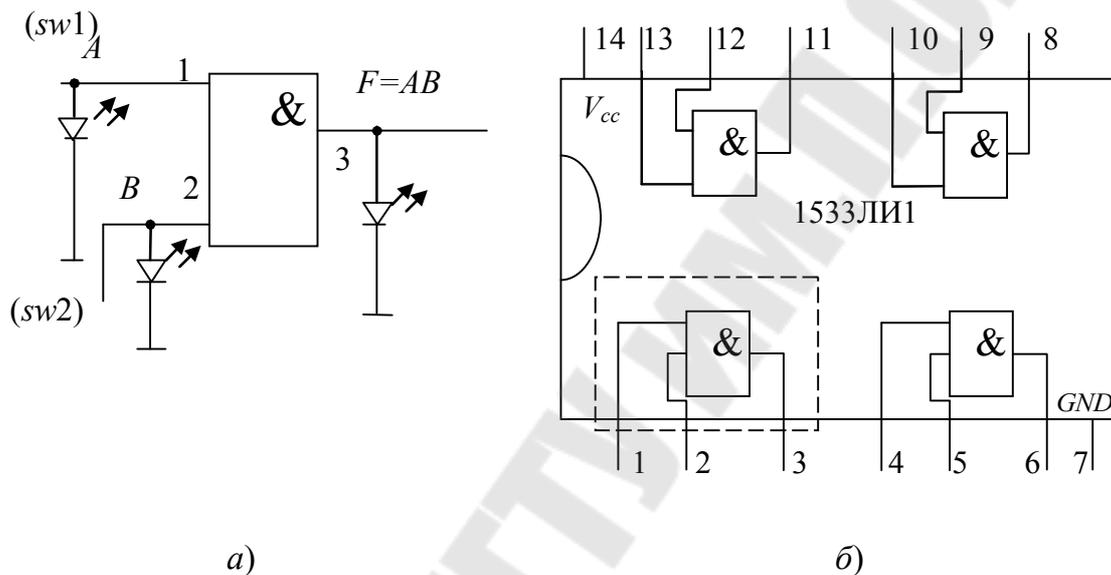


Рис. 1.8. Исследование двухвходового элемента 2И:
а – схема исследования; б – внутреннее строение ИС КР1533ЛИ1

Таблица 1.2

Таблица истинности логического элемента 2И

Входы		Выход
A	B	$F = AB$
0	0	
0	1	
1	0	
1	1	

3.1.2. Трехвходовый элемент И.

Используя двухвходовые элементы И, собрать трехвходовый элемент И, реализующий функцию $F = ABC$, как показано на рис. 1.9.

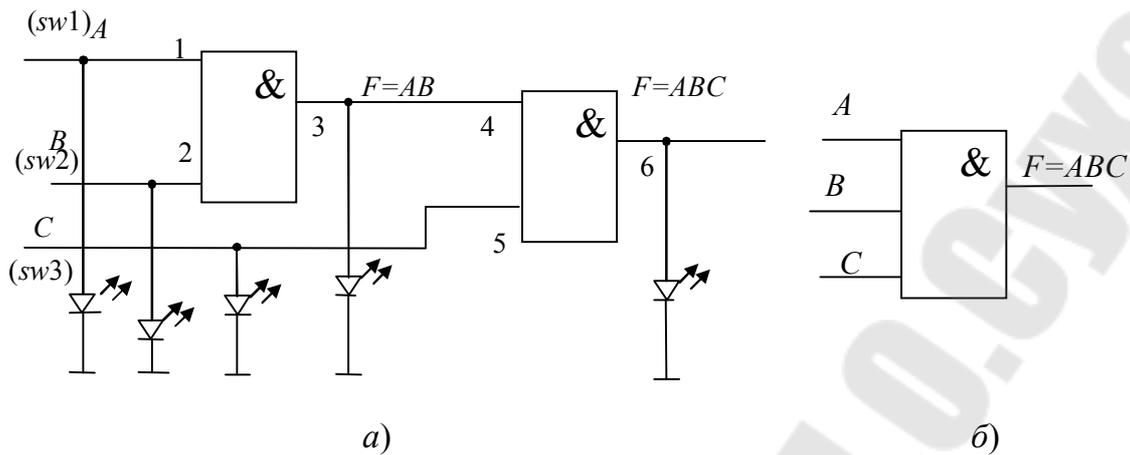


Рис. 1.9. Исследование трехвходового элемента 3И:
а – схема исследования; *б* – его условное графическое обозначение

Изменяя состояния входов *A*, *B* и *C* (комбинации от трех нулей до трех единиц), исследовать схему работы и заполнить таблицу истинности логического элемента 3И (табл. 1.3).

Таблица 1.3

Таблица истинности логического элемента 3И

Входы			Выходы	
<i>A</i>	<i>B</i>	<i>C</i>	$F = AB$	$F = ABC$
0	0	0		

1	1	1		

3.2. Исследование логических элементов ИЛИ

3.2.1. Двухвходовый элемент ИЛИ.

Разместить ИС КР1533ЛЛ1 на наборной панели *IDL-800*. Вывод *14* ИС соединить с источником питания $+5V$, а его вывод *7* – с общей шиной установки (рис. 1.10, *а*). Собрать схему, как показано на рис. 1.10, *б*.

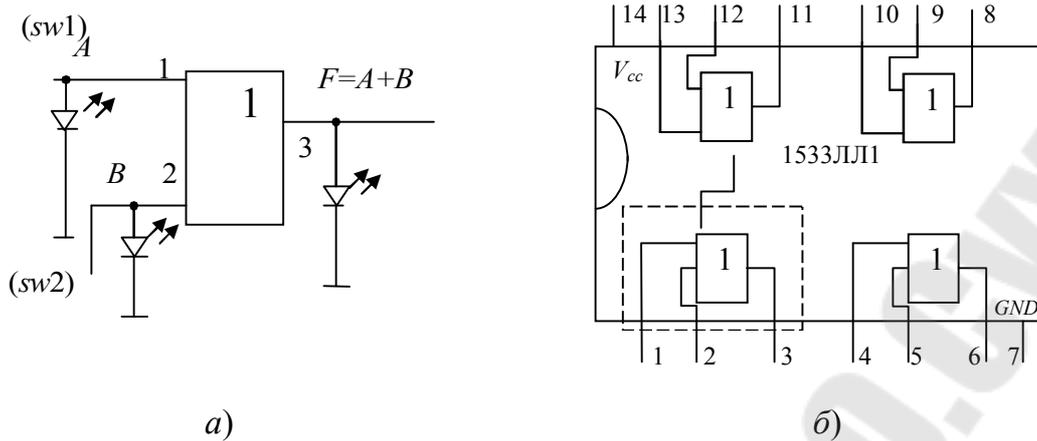


Рис. 1.10. Исследование двухвходового элемента 2ИЛИ:
 а – схема исследования; б – внутреннее строение ИС КР1533ЛЛ11

Изменяя состояния входов A и B с помощью переключателей SW , заполнить таблицу истинности (табл. 1.4) логического элемента 2ИЛИ.

Таблица 1.4

Таблица истинности логического элемента 2ИЛИ

Входы		Выход
A	B	$F = A + B$

3.2.2. Трехвходовый элемент 3ИЛИ.

Используя двухвходовые элементы И, собрать трехвходовый элемент 3И, реализующий функцию $F = A + B + C$, как показано на рис. 1.11. Изменяя состояния входов A , B и C , исследовать схему работы и заполнить таблицу истинности логического элемента 3ИЛИ (табл. 1.5).

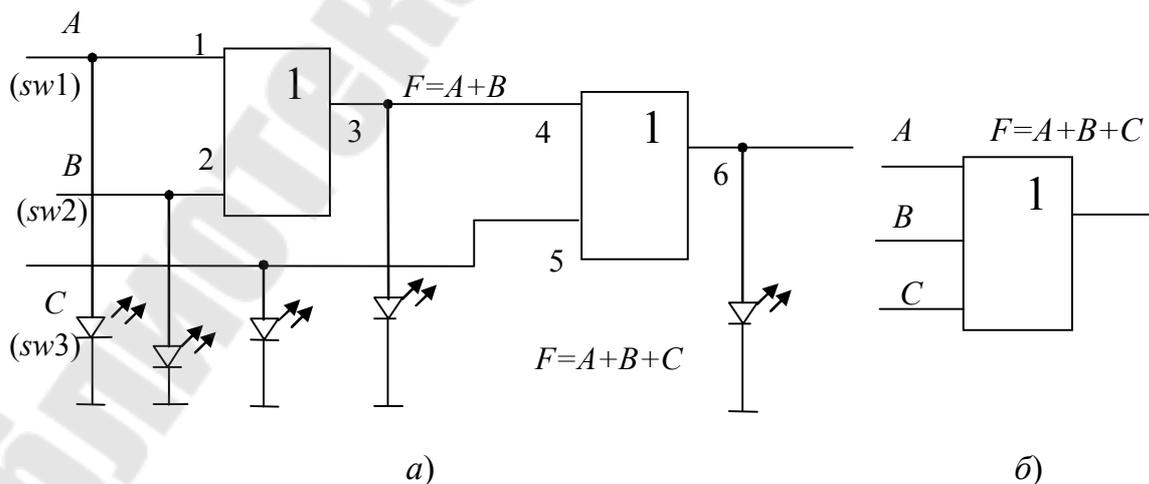


Рис. 1.11. Исследование трехвходового элемента 3ИЛИ:
 а – схема исследования; б – его условное графическое обозначение

Таблица истинности логического элемента ЗИЛИ

Входы			Выходы	
A	B	C	$F = A + B$	$F = A + B + C$

3.3. Исследование инвертора

Разместить ИС КР1533ЛН1 на наборной панели IDL-800. Вывод 14 ИС соединить с источником питания $+5V$, а его вывод 7 – с общей шиной установки (рис. 1.12, а). Собрать схему, как показано на рис. 1.12, б.

Изменяя состояния входа A с помощью переключателей SW , заполнить таблицу истинности инвертора.

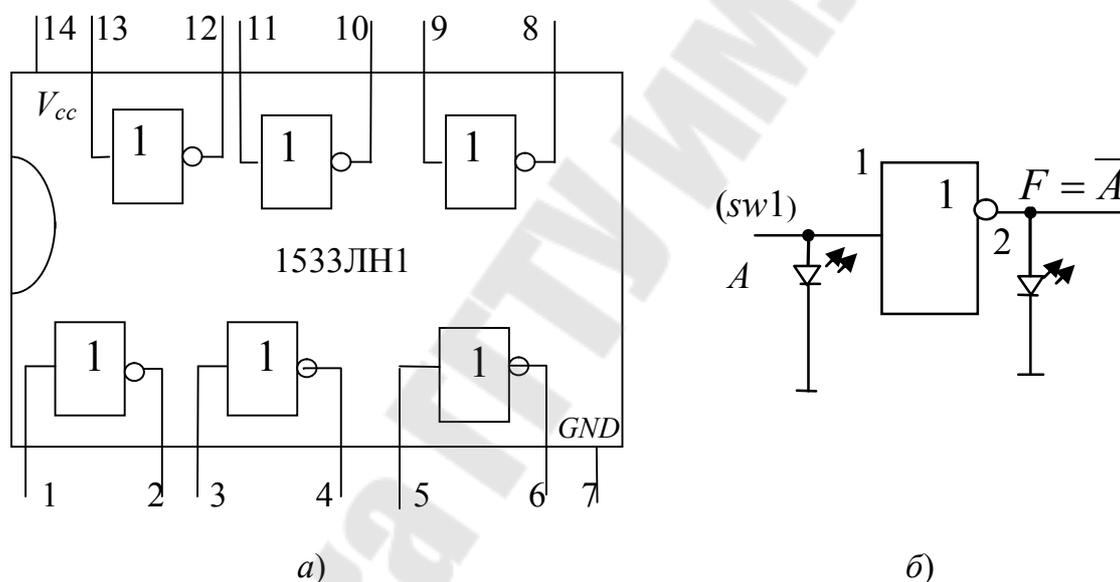


Рис. 1.12. Исследование инвертора:

а – схема исследования; б – внутреннее строение ИС КР1533ЛН1

3.4. Исследование логических элементов И-НЕ

3.4.1. Двухвходовый элемент И-НЕ.

Разместить ИС КР1533ЛА3 на наборной панели IDL-800.

Вывод 14 ИС соединить с источником питания $+5V$, а его вывод 7 – с общей шиной установки (рис. 1.13, а). Собрать схему, как показано на рис. 1.13, б.

Изменяя состояния входов A и B с помощью переключателей SW , заполнить таблицу истинности логического элемента 2И-НЕ аналогично таблице истинности логического элемента 2И.

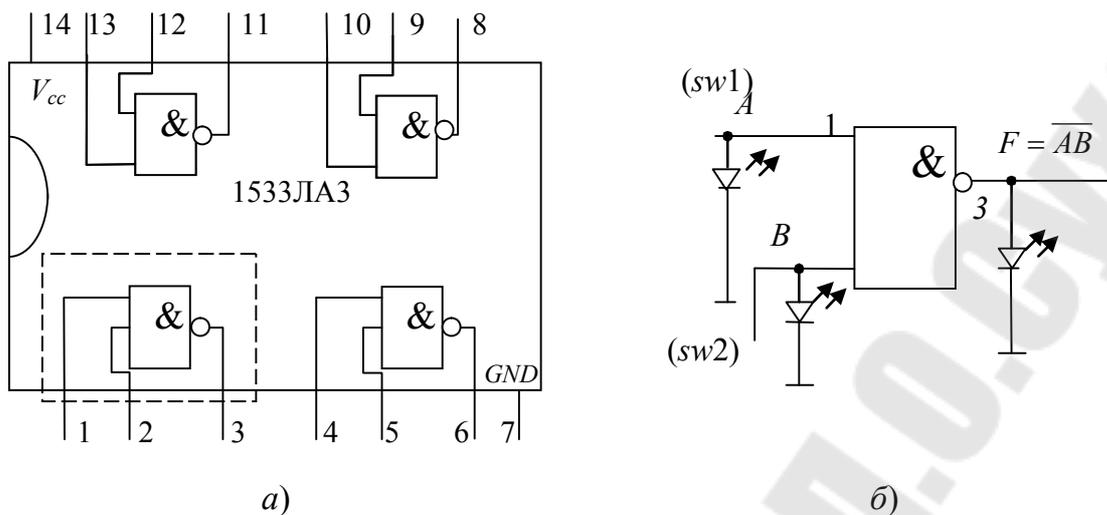


Рис. 1.13. Исследование двухвходового элемента 2И-НЕ:
 а – схема исследования; б – внутреннее строение ИС КР1533ЛА3

3.4.2. Трехвходовый элемент И-НЕ.

Используя двухвходовые элементы И-НЕ, собрать трехвходовый элемент 3И-НЕ, реализующий функцию $F = \overline{ABC}$, как показано на рис. 1.14.

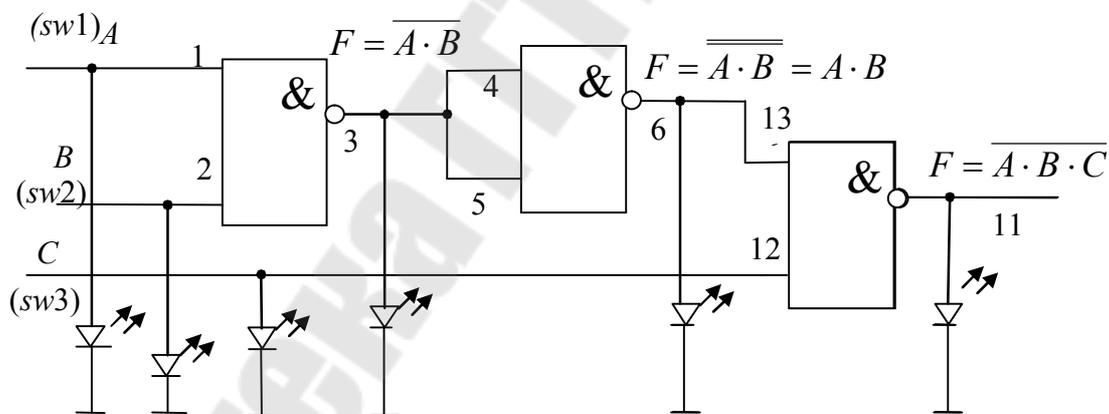


Рис. 1.14. Схема исследования трехвходового элемента 3И-НЕ

Изменяя состояния входов A , B и C , исследовать схему работы и заполнить таблицу истинности логического элемента 3И-НЕ (табл. 1.6).

Таблица истинности логического элемента 3И-НЕ

Входы			Выходы		
A	B	C	$F = \overline{A \cdot B}$	$F = \overline{A \cdot B}$	$F = \overline{A \cdot B}$

3.4.3. Реализация функции ИЛИ при помощи логических элементов И-НЕ.

Используя двухвходовые элементы И-НЕ, собрать схему, реализующую операцию 2ИЛИ, как показано на рис. 1.15.

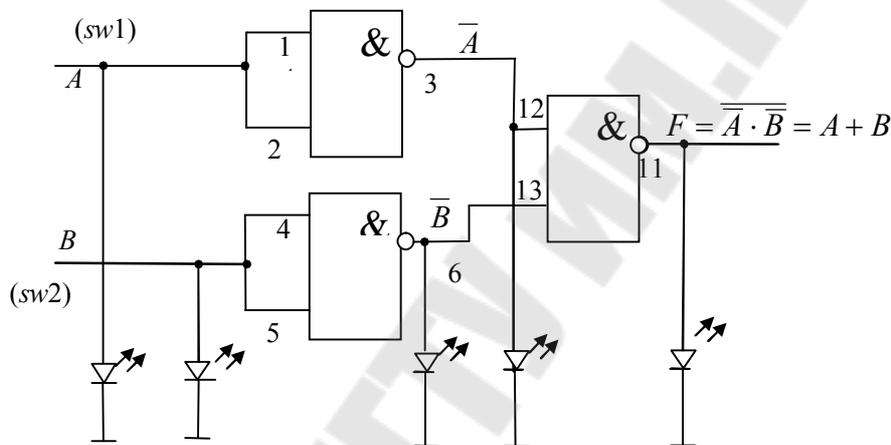


Рис. 1.15. Реализация функции 2ИЛИ при помощи элементов 2И-НЕ

Изменяя состояния входов A и B , исследовать схему работы и заполнить таблицу истинности полученного логического элемента 2ИЛИ (табл. 1.7).

Таблица истинности логического элемента 2ИЛИ

Входы		Выходы		
A	B	\overline{A}	\overline{B}	$F = A + B$

3.5. Исследование логических элементов ИЛИ-НЕ

3.5.1. Двухвходовый элемент ИЛИ-НЕ.

Разместить ИС КР1533ЛЕ1 на наборной панели IDL-800. Вывод 14 ИС соединить с источником питания $+5V$, а его вывод 7 – с общей шиной установки (рис. 1.16, а). Собрать схему, как показано на рис. 1.16, б.

Изменяя состояния входов A и B с помощью переключателей SW , заполнить таблицу истинности логического элемента 2ИЛИ-НЕ.

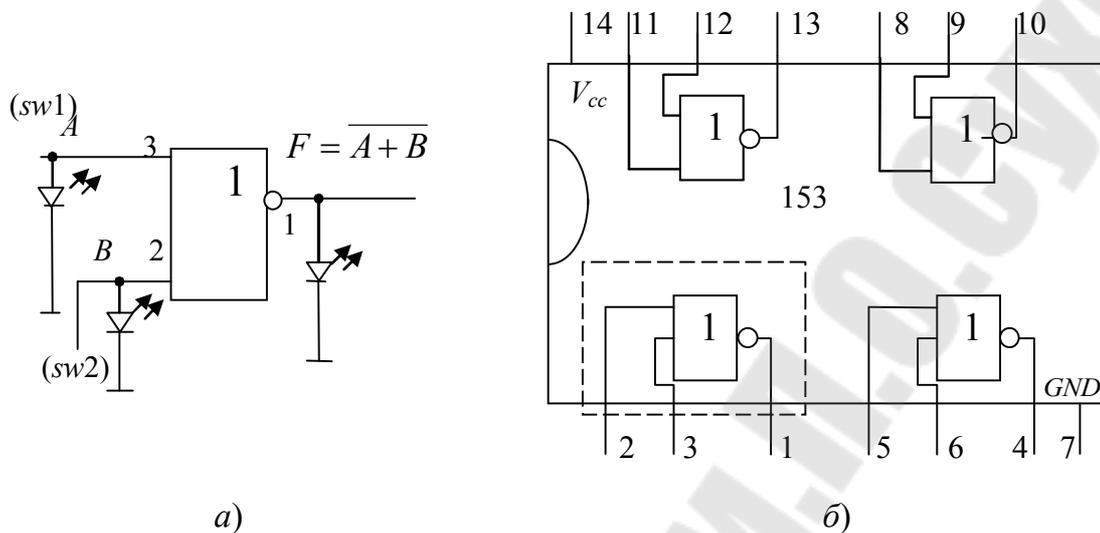


Рис. 1.16. Исследования двухвходового элемента 2ИЛИ-НЕ:
 а – схема исследования; б – внутреннее строение ИС КР1533ЛЕ3

3.5.2. Трехвходовый элемент 3ИЛИ-НЕ.

Используя двухвходовые элементы ИЛИ-НЕ, собрать трехвходовый элемент 3ИЛИ-НЕ, реализующий функцию $F = \overline{\overline{A+B} + C}$, как показано на рис. 1.17.

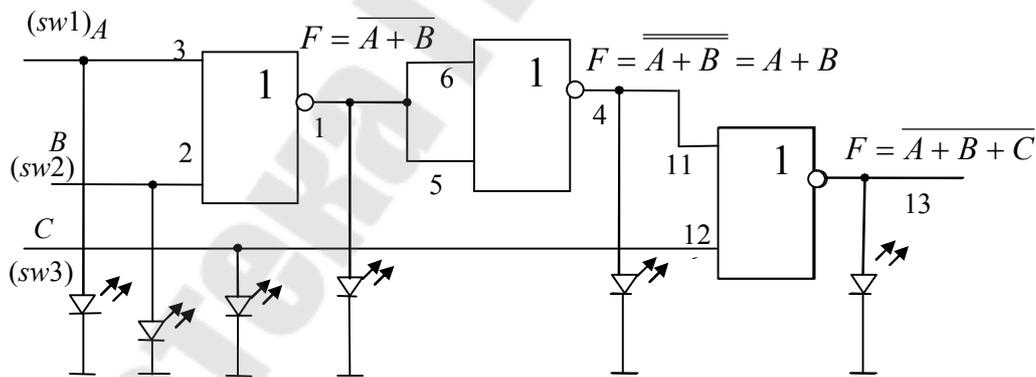


Рис. 1.17. Схема исследования трехвходового элемента 3И-НЕ

Изменяя состояния входов A , B и C , исследовать схему работы и заполнить таблицу истинности логического элемента 3ИЛИ-НЕ (табл. 1.8).

Таблица истинности логического элемента ЗИЛИ-НЕ

Входы			Выходы		
A	B	C	$F = \overline{A + B}$	$F = A + B$	$F = \overline{A + B + C}$

3.5.3. Реализация функции И при помощи логических элементов ИЛИ-НЕ.

Используя двухвходовые элементы 2ИЛИ-НЕ, собрать схему, реализующую операцию 2И, как показано на рис. 1.18.

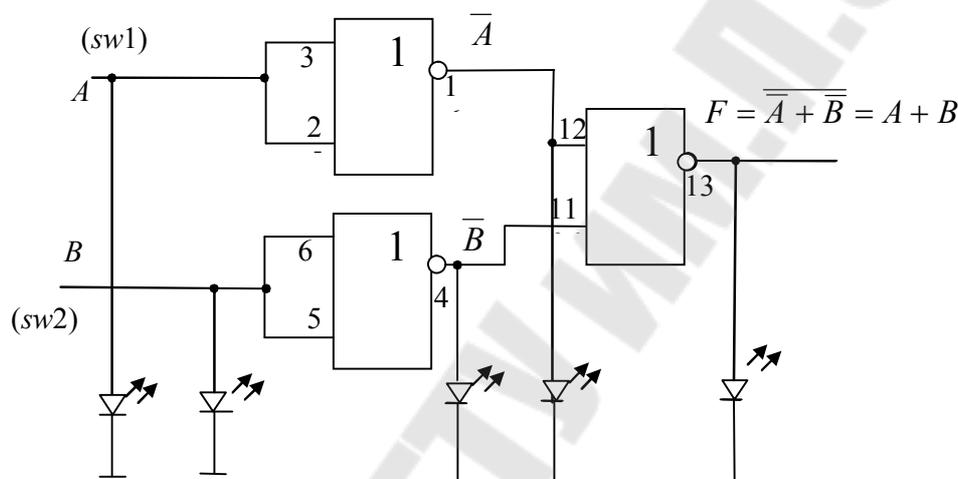


Рис. 1.18. Реализация функции 2И при помощи логических элементов 2ИЛИ-НЕ

Изменяя состояния входов A и B , исследовать схему работы и заполнить таблицу истинности полученного логического элемента 3И-НЕ.

3.6. Исследование логических элементов ИСКЛЮЧАЮЩЕЕ ИЛИ

3.6.1. Двухвходовый элемент ИСКЛЮЧАЮЩЕЕ ИЛИ.

Разместить ИС КР1533ЛП5 на наборной панели IDL-800. Вывод 14 ИС соединить с источником питания $+5V$, а его вывод 7 – с общей шиной установки (рис. 1.19, а). Собрать схему, как показано на рис. 1.19, б.

Изменяя состояния входов A и B с помощью переключателей SW , заполнить таблицу истинности логического элемента ИСКЛЮЧАЮЩЕЕ ИЛИ.

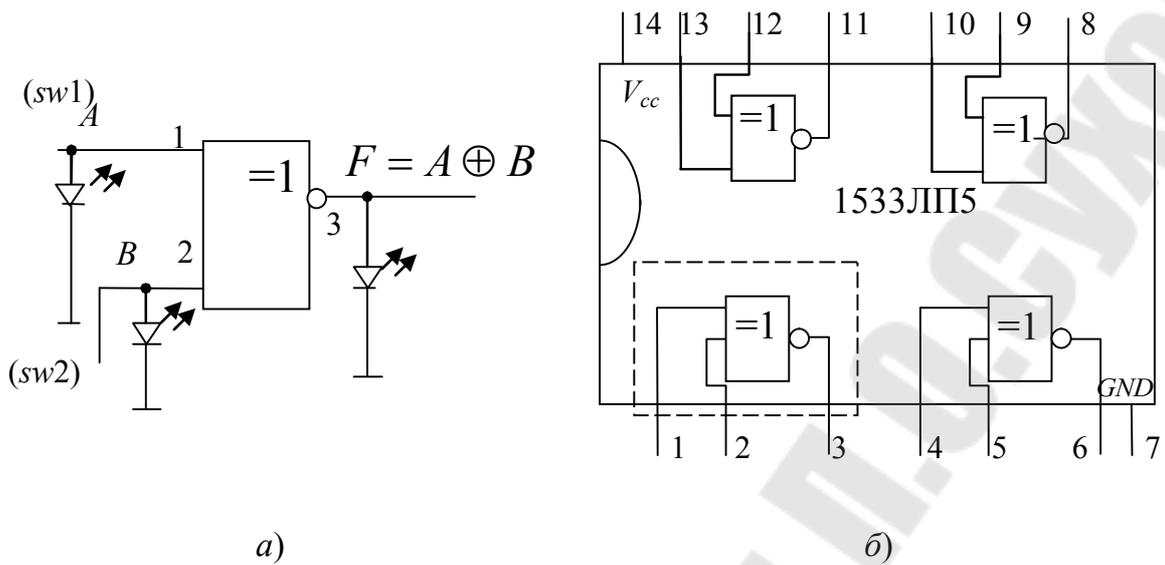


Рис. 1.19. Исследование двухвходового элемента ИСКЛЮЧАЮЩЕЕ ИЛИ:
 а – схема исследования; б – внутреннее строение ИС КР1533ЛП5

3.6.2. Трехвходовый элемент ИСКЛЮЧАЮЩЕЕ ИЛИ.

Используя двухвходовые элементы ИСКЛЮЧАЮЩЕЕ ИЛИ, собрать трехвходовый элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, реализующий функцию $F = A \oplus B \oplus C$, как показано на рис.1.20.

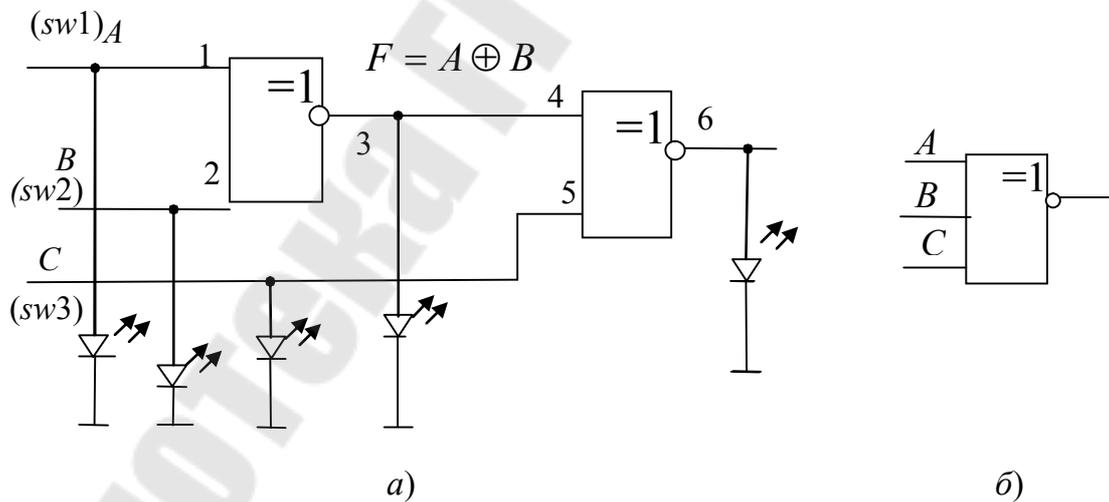


Рис. 1.20. Исследование трехвходового элемента ИСКЛЮЧАЮЩЕЕ ИЛИ:
 а – схема исследования; б – его условное графическое обозначение

Изменяя состояния входов A , B и C , исследовать схему работы и заполнить таблицу истинности трехвходового логического элемента ИСКЛЮЧАЮЩЕЕ ИЛИ (табл. 1.9).

Таблица истинности логического элемента ИСКЛЮЧАЮЩЕЕ ИЛИ

Входы			Выходы	
A	B	C	$F = A \oplus B$	$F = A \oplus B \oplus C$

4. Содержание отчета

1. Наименование и цель работы.
2. Исследуемые схемы логических функций с результатами исследований в виде таблиц истинности.
3. Выводы по результатам исследований.

5. Контрольные вопросы

1. Таблицы истинности основных логических функций.
2. Положительная и отрицательная логика. Дополнения.
3. Нарисовать для логического элемента, заданного преподавателем условное графическое обозначение.
4. Обосновать минимальное количество типов логических элементов для реализации основных логических функций.
5. Схема логического элемента ИСКЛЮЧАЮЩЕЕ ИЛИ. Обосновать с помощью схемы таблицу истинности.

Лабораторная работа № 2

ИССЛЕДОВАНИЕ АРИФМЕТИЧЕСКИХ УСТРОЙСТВ

1. Цель работы

Изучение принципа действия и исследование свойств арифметических устройств: сумматора и вычитателя.

Используемое оборудование:

- универсальная лабораторная установка *IDL-800*;
- четыре логических элемента ИСКЛЮЧАЮЩИЕ ИЛИ – ИС 1533ЛП5;
- четыре логических элемента 2И – ИС 1533ЛИ1;
- четыре логических элемента 2ИЛИ – ИС 1533ЛЛ1;
- шесть инверторов – ИС 1533ЛН1;
- четырехразрядный сумматор – ИС К1533ИМ3 или К555ИМ6.

2. Основные теоретические сведения

Арифметические устройства

Арифметическими называют устройства цифровой электроники, выполняющие арифметические действия с двоичными числами: сложения, вычитания, умножения и деления. К арифметическим устройствам относят также устройства, выполняющие специальные арифметические операции, например, выявление четности заданных чисел (определение паритета) и сравнение двух чисел [3].

Особенность арифметических устройств состоит в том, что сигналам приписываются не логические, а арифметические значения 1 и 0, и действия над ними подчиняются законам двоичной арифметики. Хотя арифметические устройства оперируют с численными величинами, для описания их работы также удобно пользоваться таблицами истинности.

Важнейшая из арифметических операций – суммирование (сложение). Помимо прямого назначения, она используется и при других операциях: вычитание – сложение, в котором вычитаемое вводится в обратном или дополнительном коде; умножение – последовательное многократное сложение со сдвигом.

Арифметические устройства выпускаются в виде готовых изделий в составе многих серий цифровых микросхем.

Сумматор

Сумматором (от англ. *Summer, Summator*) называется схема, предназначенная для сложения чисел в двоичном коде.

Сумматор двух одноразрядных слагаемых называется *полусумматором* и обозначается *HS* (от англ. *HALF SUM* – половина суммы) (рис. 2.1).

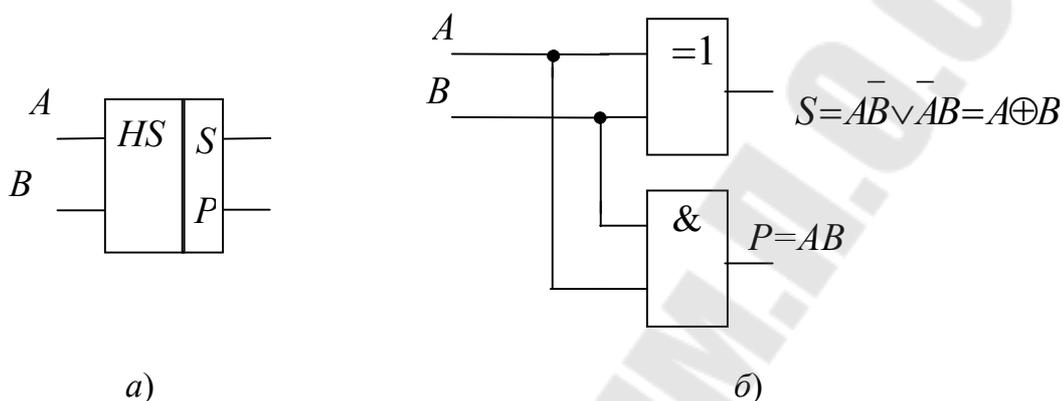


Рис. 2.1. Полусумматор:

а – условное обозначение полусумматора;

б – схема полусумматора на логических элементах

Выход $P = AB$ называется *переносом (переполнением)* и иногда обозначается C или CR (от англ. *Carry* – перенос).

Чтобы не путать обозначения логических и арифметических действий при описании арифметических устройств, знаком «+» будем обозначать только арифметическую сумму, а знаком « \vee » – логическую функцию ИЛИ, т. е. логическое сложение. Знак « \oplus » будет означать суммирование по модулю 2 для арифметических двоичных переменных и функцию ИСКЛЮЧАЮЩИЕ ИЛИ для логических.

При сложении двух многоразрядных двоичных чисел, кроме двух входов слагаемых, в сумматоре каждого разряда должен быть предусмотрен еще вход для переноса из младшего разряда. Полусумматор имеет только два входа, пригоден для суммирования только одноразрядных слагаемых и не пригоден для суммирования всех других разрядов слагаемых.

Для сложения двух слагаемых любой разрядности с учетом переноса из младшего разряда предназначен одноразрядный полный сумматор или просто, сумматор (рис. 2.2).

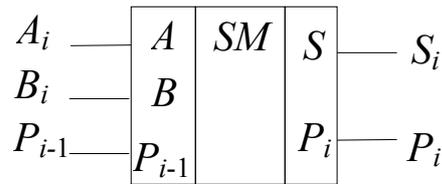


Рис. 2.2. Условное обозначение сумматора

Сумматор можно получить из двух полусумматоров (рис. 2.3). Первый полусумматор *HS1* складывает два слагаемых и выдает промежуточные сумму S_i' и бит переноса P_i' . Второй полусумматор *HS2* суммирует бит переноса предыдущего разряда P_{i-1} с промежуточной суммой S_{i-1} , в результате получается полная сумма S_i . Бит переноса получаем при участии двух полусумматоров и дополнительных логических элементов ИЛИ.

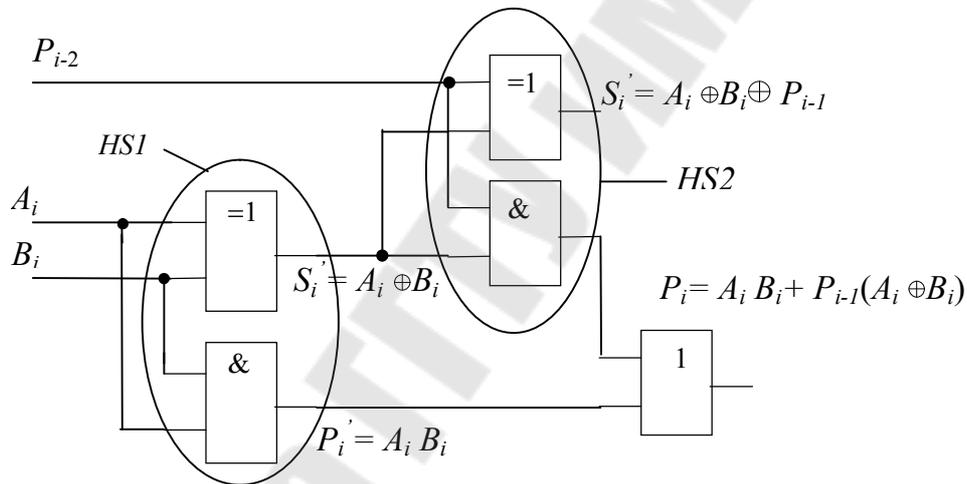


Рис. 2.3. Сумматор, полученный из двух полусумматоров

По схеме запишем булевы выражения для выходов S_i и P_i :

$$S_i = \bar{P}_{i-1} \bar{A}_i B_i \vee \bar{P}_{i-1} \bar{A}_i \bar{B}_i \vee P_{i-1} A_i B_i;$$

$$P_i = \bar{P}_{i-1} A_i B_i \vee P_{i-1} \bar{A}_i B_i \vee P_{i-1} A_i \bar{B}_i \vee P_{i-1} A_i B_i.$$

Булевы выражения для выходов S_i и P_i после минимизации и с учетом друг друга выглядят следующим образом:

$$S_i = \bar{P}_i A_i \vee \bar{P}_{i-1} \bar{B}_i \vee \bar{P}_i P_{i-1} \vee P_{i-1} A_i B_i = P_{i-1} \oplus A_i \oplus B_i;$$

$$P_i = P_{i-1} (A_i + B_i) + A_i B_i.$$

Последовательное и параллельное суммирование

Одноразрядный сумматор может быть использован для суммирования многоразрядных двоичных чисел, если они представлены последовательным кодом (рис. 2.4), в котором младшие разряды следуют раньше старших. В этом случае сигнал с выхода переноса подается на вход переноса этого же сумматора через цепь задержки, обеспечивающую хранение бита переноса на время одного такта следования импульсов входных цифровых слагаемых. Это самый медленный способ суммирования многоразрядных чисел, но он самый экономичный по аппаратурным затратам.

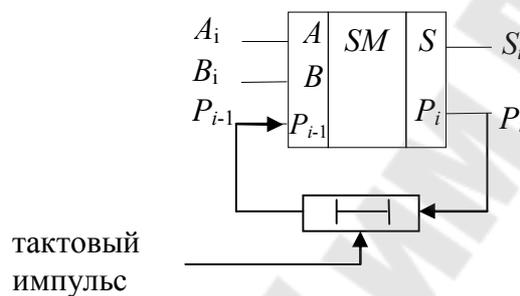


Рис. 2.4. Последовательное суммирование

В случае *параллельного суммирования* (рис. 2.5) число сумматоров должно быть равно числу разрядов суммируемых чисел.

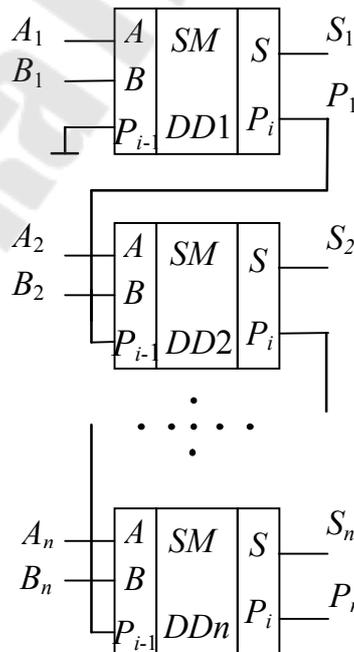


Рис. 2.5. Параллельное суммирование с последовательным переносом

Быстродействие ограничено задержкой переноса ($T_{зд.общ} = nt_{зд}P_i$), так как формирование сигналов суммы S_n и переноса P_n старшего разряда не может произойти до тех пор, пока сигнал переноса младшего разряда не распространится последовательно по всей цепочке.

Вычитатель (субтрактор)

В устройствах дискретной техники операция вычитания обычно заменяется сложением уменьшаемого с вычитаемым, когда последнее представлено в *дополнительном* коде. Устройство, выполняющее данную функцию, называют *вычитателем*.

Это значит, что для вычитания числа B из числа A достаточно произвести их сложение, однако при этом вычитаемое B должно быть представлено в дополнительном коде.

Отрицанием называется логическая операция преобразования положительного числа в отрицательное или отрицательного числа в положительное. Если двоичные числа со знаком представляются в виде дополнительного кода, отрицание эквивалентно простому преобразованию в дополнительный код. Чтобы продемонстрировать это, преобразуем число $+9$. В двоичной форме вместе с битом знака это число будет выглядеть как 01001 .

Если преобразовать его в дополнительный код, получим 10111 . Ясно, что теперь это уже отрицательное число, так как знаковый бит, стоящий в первом разряде, равен 1 .

Двоичный код числа	→	0	1	0	0	1	= +9
Операция отрицания (обратный)	+	1	0	1	1	0	
Преобразование в дополнительный код						1	
Результат	→	1	0	1	1	1	= -9 _{доп}
Снова осуществляем операцию отрицания преобразование в дополнительный код	+	0	1	0	0	0	
						1	
Результат	→	0	1	0	0	1	= +9

Рис. 2.6. Пример перевода положительного числа в отрицательное и обратно

Действительно, число 10111 представляет собой -9 , которое является отрицательным. Точно так же можно начинать и с числа -9 , которое в двоичной форме будет выглядеть как 10111 . Если преобра-

звать это число в дополнительный код, получим 01001, т. е. число +9. Порядок преобразований показан на рис. 2.6.

Если разность, полученная при таком способе вычитания, положительна, т. е. $A > B$, то результат будет представлен в прямом коде, а в разряде, старше старшего, т. е. в $(n + 1)$ -ом разряде образуется единица.

Логическая схема, осуществляющая операцию вычитания однобитового числа B из однобитового числа A , называется *полувывчитателем*.

На его выходах реализуются следующие булевы выражения:

$D = A\bar{B} \vee \bar{A}B = A \oplus B$, на выходе D – результат вычитания, $C_i = \bar{A}_i B_i$ на выходе C – результат заема.

Схема полувывчитателя на логических элементах приведена на рис. 2.7.

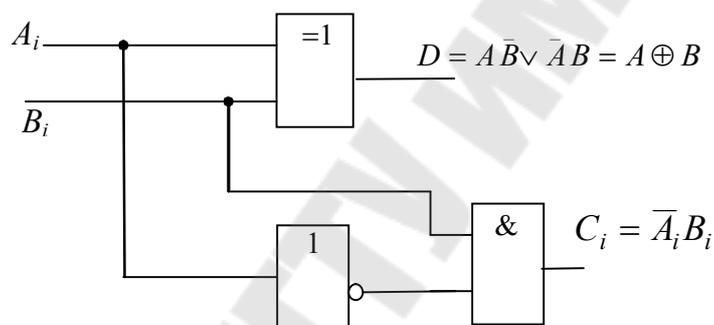


Рис. 2.7. Схема полувывчитателя на логических элементах

Для выполнения побитового вычитания многоразрядных чисел необходим полный вычитатель (рис. 2.8), где присутствует заем из старшего разряда. Такое устройство имеет три входа и два выхода, как и полный сумматор [4]. Булевы выражения, реализуемые на его выходах выглядят следующим образом:

$$C_i = \bar{A}_i(B_i \oplus C_{i-1}) + B_i C_{i-1}; D_i = C_{i-1} \oplus A_i \oplus B_i.$$

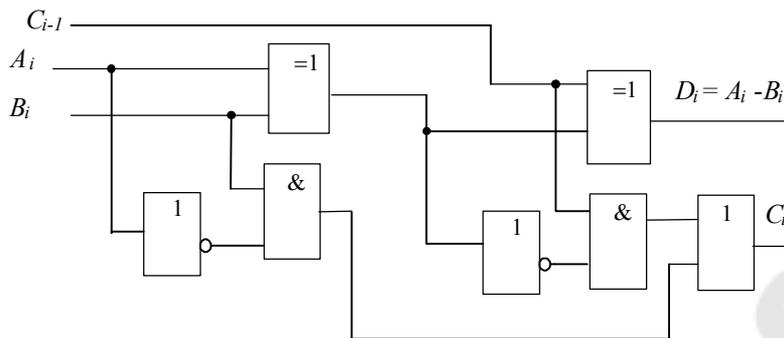


Рис. 2.8. Схема вычитателя на логических элементах

В работе используется четырехразрядный сумматор К555ИМ6, условное обозначение которого показано на рис. 2.9.

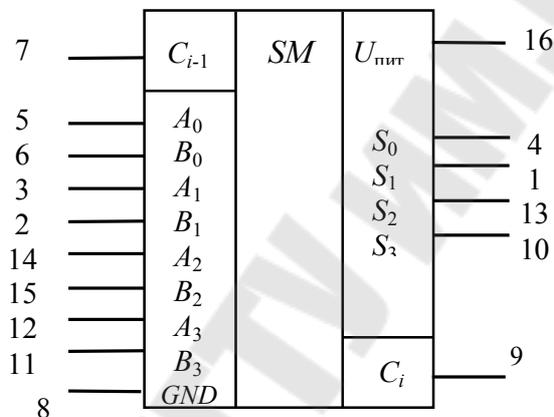


Рис. 2.9. Условное обозначение и цоколевка микросхемы К555ИМ6

Принцип действия ее основан на параллельном суммировании чисел разных разрядов с параллельным переносом, который вырабатывается как функция только слагаемых и входного переноса всего сумматора. Вход переноса C_{i-1} имеется только у младшего разряда, а выход – только у старшего C_i .

Результат на выходах суммы и переноса описывается следующим выражением:

$$\begin{aligned} \sum_{A, B} &= C_{i-1} + 2^0(A_0 + B_0) + 2^1(A_1 + B_1) + 2^2(A_2 + B_2) + 2^3(A_3 + B_3) = \\ &= 2^0 \sum 0 + 2^1 \sum 1 + 2^2 \sum 2 + 2^3 \sum 3 + 2^4 \sum C_i. \end{aligned}$$

Микросхема может быть использована для операций с числами, представленными не только в положительной, но и в отрицательной логике. В режиме положительной логики вход C_{i-1} нельзя оставлять открытым, на него надо подать потенциал логического нуля.

Четырехразрядный сумматор К555ИМ6 можно применять и в качестве вычитателя. Операция вычитания выполняется путем сложения уменьшаемого с вычитаемым в дополнительном коде.

Операции сложения и вычитания можно совместить в одном узле, если инверторы заменить элементами ИСКЛЮЧАЮЩЕЕ ИЛИ, как это представлено на рис. 2.10. Эти элементы в зависимости от уровня напряжения на управляющем входе работают как повторители или инверторы.

При операции вычитания (лог.1) вычитаемое $B = B_3B_2B_1B_0$ преобразуется в обратный код (элементы ИСКЛЮЧАЮЩЕЕ ИЛИ работают как инверторы), и к нему по входу C_{i-1} прибавляется единица. Результат сложения числа $A = A_3A_2A_1A_0$ с числом B в дополнительном коде формируется на выходах 3, 2, 1, 0. Здесь $S_0 = A_0 + B_0 + 1$ (за счет $C_{i-1} = 1$); $S_1 = A_1 + B_1 + 1$ и т. д. Бит высшего разряда отбрасывается, поэтому выход переноса C_i остается свободным.

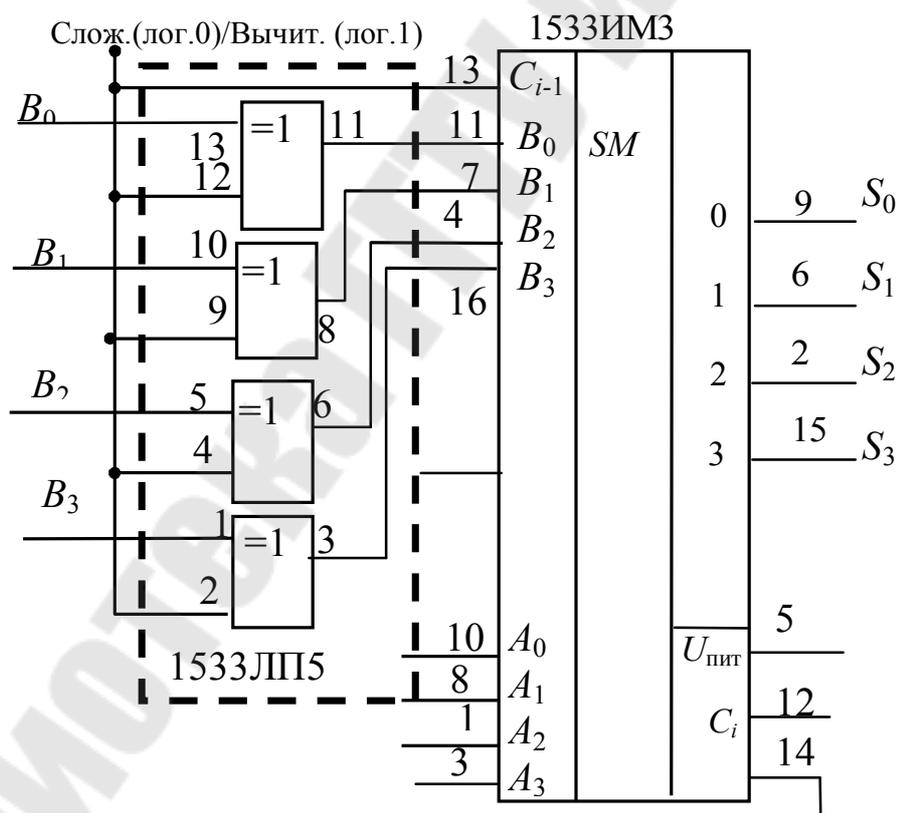


Рис. 2.10. Использование ИС 1533 ИМ3 в качестве сумматора и вычитателя

3. Порядок выполнения работы

3.1. Исследования сумматора

3.1.1. Исследование полусумматора.

Собрать на наборной панели *IDL-800* схему полусумматора на логических элементах ИС 1533ЛП5 и ИС 1533ЛИ1 (рис. 2.1). Вывод 14 ИС соединить с источником питания +5V, а его вывод 7 – с общей шиной установки.

Переменные A_i , B_i задавать переключателями *SW0–SW1*, выходные состояния Σ_i и P_i контролировать светодиодными индикаторами. Убедиться в правильном функционировании сумматора, снять таблицу истинности, свести ее в табл. 2.1

Таблица 2.1

Таблица истинности полусумматора

Входы		Выходы	
A	B	Σ_i	P_i

3.1.2. Исследование полного сумматора.

Собрать схему одноразрядного сумматора на логических элементах (рис. 2.7). Переменные A_i , B_i задавать переключателями, выходные состояния Σ_i и P_i контролировать светодиодными индикаторами. Убедиться в правильном функционировании сумматора, снять таблицу истинности, свести ее в табл. 2.2.

Таблица 2.2

Таблица истинности сумматора

Входы			Выходы	
A	B	P_{i-1}	Σ_i	P_i

3.2. Исследование вычитателя

3.2.1. Исследование полувычитателя.

Собрать на наборной панели *IDL-800* схему полувычитателя на логических элементах (рис. 2.7). Вывод 14 ИС соединить с источником питания +5V, а его вывод 7 – с общей шиной установки.

Переменные A_i , B_i задавать переключателями, выходные состояния D_i и C_i контролировать светодиодными индикаторами. Убедиться

в правильном функционировании сумматора, снять таблицу истинности, свести ее в табл. 2.3

Таблица 2.3

Таблица истинности полувычитателя

Входы		Выходы	
A	B	D_i	C_i

3.2.2. Исследование полного вычитателя.

Собрать схему одноразрядного вычитателя на логических элементах (рис. 2.8). Переменные A_i , B_i задавать переключателями, выходные состояния D_i и C_i контролировать светодиодными индикаторами. Убедиться в правильном функционировании сумматора, снять таблицу истинности, свести ее в табл. 2.4.

Таблица 2.4

Таблица истинности вычитателя

Входы			Выходы	
A	B	C_{i-1}	Σ_i	C_i

3.2. Исследование суммирования/вычитания

3.2.1. Исследование суммирования/вычитания в дополнительном коде на микросхеме ИС 1533 ИМЗ (555ИМ6).

Собрать схему исследования сумматора/вычитателя, изображенную на рис. 2.10. Задавая переключателями четырехразрядные числа A и B , осуществить сложение и вычитание двоичных чисел, контролирующие выходы сумматора светодиодными индикаторами. Результат свести в табл. 2.5.

Таблица 2.5

Результат исследования микросхемы ИС155ИМЗ

Входы			Выходы	
C_{i-1}	$A_3A_2A_1A_0$	$B_3B_2B_1B_0$	$S_3S_2S_1S_0$	C_i
0	0011	1110		
0	1110	0101		
0	1010	1000		
0	0011	1101		

Входы			Выходы	
C_{i-1}	$A_3A_2A_1A_0$	$B_3B_2B_1B_0$	$S_3S_2S_1S_0$	C_i
1	0011	1110		
1	1110	0101		
1	1010	1000		
1	0011	1101		

Записать полученные таблицы для отчета и убедиться в правильности суммирования с помощью перевода суммируемых чисел A и B в десятичные числа.

4. Содержание отчета

1. Наименование и цель работы.
2. Исследуемые схемы сумматоров (вычитателей) с результатами исследований в виде таблиц истинности.
3. Выводы по результатам исследований.

5. Контрольные вопросы

1. Полусумматор и сумматор. Уравнения, схемы.
2. Полувычитатель и вычитатель. Уравнения, схемы.
3. Использование сумматора в режиме вычитателя.
4. Последовательный и параллельный перенос в многоразрядных сумматорах.
5. Суммирование многоразрядных чисел, представленных в последовательном коде.

Лабораторная работа № 3

ИССЛЕДОВАНИЕ ТРИГГЕРОВ НА ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ И В ИНТЕГРАЛЬНОМ ИСПОЛНЕНИИ

1. Цель работы

Изучение основ теории, методов логического синтеза и функционирования основных типов триггеров.

Используемое оборудование:

- универсальная лабораторная установка *IDL-800*;
- четыре логических элемента 2И-НЕ – ИС 1533ЛА3 (74ALS00);
- четыре логических элемента 2ИЛИ-НЕ – ИС 1533ЛЕ1;
- три логических элемента 3И-НЕ – 1533ЛА4 (74ALS10);
- два синхронных динамических *D*-триггера – 1533ТМ2;
- четыре *D*-триггера со статическим управлением – 1533ТМ7;
- два синхронных динамических *JK*-триггера – 1533ТВ6;
- четыре синхронных \overline{RS} -триггера – 1533ТР2.

2. Основные теоретические сведения

Все цифровые устройства делятся на *комбинационные* и *последовательные*. Все *последовательные* устройства обладают памятью. *Память* – свойство сохранять в течение неограниченного времени внутреннее состояние устройства, даже после отключения питания. Работа последовательных схем определяется как текущими входными состояниями, так и предыдущими состояниями, информация о которых хранится в памяти. Последовательные схемы называются еще *конечными автоматами* [5].

Простейшим представителем последовательных устройств является *триггер*, обобщенная структура которого имеет вид, представленный на рис. 3.1.

Как следует из рисунка, в состав триггера входит комбинационное устройство (КУ) и узел памяти (УП), соединенные цепью обратной связи.

Триггер представляет собой логическую схему с положительной обратной связью, которая может неограниченно долго находиться в одном из двух устойчивых состояний (0 и 1), которые обеспечиваются не входным сигналом, а положительной обратной связью.

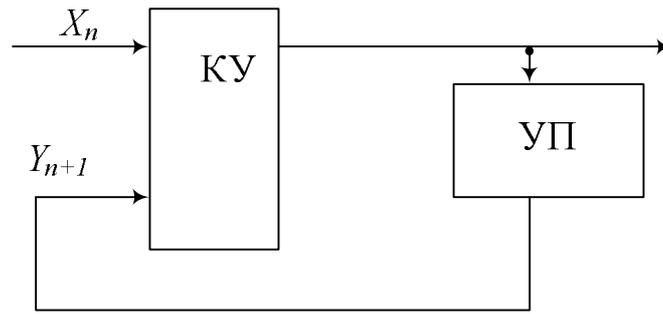


Рис. 3.1. Структура триггера как последовательностного устройства

Триггер меняет одно состояние на другое скачком, лавинообразно, под воздействием входного сигнала. Одно состояние называется единичным, а второе – нулевым. В общем случае триггер имеет два выхода – прямой Q и инверсный \bar{Q} , поскольку логическое состояние одного выхода всегда инверсно логическому состоянию другого. Состояние триггера определяется логическим уровнем на прямом выходе. Если на прямом выходе имеется потенциал, соответствующий лог. 1, то триггер находится в единичном состоянии, или имеется в виду, что триггер установлен (при этом потенциал на инверсном выходе соответствует лог. 0). И если на прямом выходе имеется потенциал, соответствующий лог. 0, то триггер находится в нулевом состоянии, или имеется в виду, что триггер сброшен (и при этом потенциал на инверсном выходе соответствует лог. 1).

На рис. 3.1 X_n – входное воздействие, представляющее собой набор сигналов: x_0, x_1, \dots, x_{n-1} . Таким образом, выходное состояние триггера зависит как от входного воздействия, так и от его предшествующего состояния:

$$y_n = f(X_n, y_{n-1}).$$

Приведенная выше функция называется *функцией возбуждения*, обычно записывается в форме $Y_{n+1} = f(X_i, Y_i)$, которая представляет состояние триггера после воздействия. Иногда состояние Y_{n+1} обозначается Y^+ .

Пусть Y_n представляет собой двухразрядное слово представленное сигналами S и R . Пусть при комбинации $S = 0; R = 0$ триггер сохраняет свое предыдущее состояние выхода Q_n , т. е. $Q_{n+1} = Q_n$, если же $S = 1, R = 0$ переходит в единичное, а когда $S = 0, R = 1$ –

в нулевое. Последнее означает, что $Q_{n+1} = 0$, независимо от того, в каком состоянии находился триггер до воздействия. Данный алгоритм характерен для большинства разновидностей триггеров, которые отличаются друг от друга лишь по реакции на комбинацию сигналов $S = 1; R = 1$ (табл. 3.1). Возможны следующие варианты: $Q_{n+1} = 0$, $Q_{n+1} = 1$; $Q_{n+1} = Q_n$; $Q_{n+1} = \bar{Q}_n$ и, наконец, эту комбинацию можно считать запрещенной, т. е. не подавать ее на входы управления. Формально при ее наличии состояние триггера будет неопределенным: $Q_{n+1} = *$, так как, не подавая данную комбинацию, нельзя ничего сказать и о выходном состоянии. $Q_{n+1}^{\bar{R}\bar{S}}$.

Таблица 3.1

Таблица функционирования различных триггеров

Входы		Выходы			
S	R	Q_{n+1}^{RS}	$Q_{n+1}^{\bar{R}\bar{S}}$	Q_{n+1}^E	Q_{n+1}^{JK}
0	0	Q_n	Q_n	Q_n	Q_n
0	1	0	0	0	0
1	0	1	1	1	1
1	1	*	*	Q_n	\bar{Q}_n

В качестве основных классификационных признаков используются функциональный признак и способ записи информации.

Триггеры делятся на *симметричные* и *несимметричные* (триггеры Шмитта).

Симметричные триггеры классифицируются по ряду признаков.

По способу записи информации:

- 1) асинхронные;
- 2) синхронные – тактируемые.

В асинхронных триггерах запись информации происходит под действием изменений входных сигналов с момента подачи их на информационные входы. В синхронных триггерах запись информации происходит только при подаче сигнала синхронизации.

По способу управления записью информации (по способу синхронизации):

- 1) со статическим управлением;

2) с динамическим управлением – по фронту (переднему или заднему);

3) с двухступенчатым управлением – двумя тактовыми импульсами или по двум фронтам;

По способу организации логических связей или по функциональному признаку (т. е. по виду характеристического уравнения, связывающего логические переменные на входах и выходах триггера в момент срабатывания t_n и после срабатывания t_{n+1} , различают триггеры:

- 1) элементарные с отдельной установкой 0 и 1 – *RS*-триггеры;
- 2) с приемом информации по одному входу – *D*-триггеры;
- 3) со счетным входом – *T*-триггеры;
- 4) универсальные с отдельной установкой 0 и 1 – *JK*-триггеры.

Синхронный триггер со статическим управлением воспринимает информационные сигналы, когда синхросигнал достигает своего активного уровня. Характерной особенностью этого типа является то, что смена управляющего сигнала в течение времени действия импульса синхронизации вызывает новые срабатывания триггеров, т. е. синхронные триггеры со статическим управлением при активном уровне синхросигнала ведут себя подобно асинхронным (рис. 3.2).

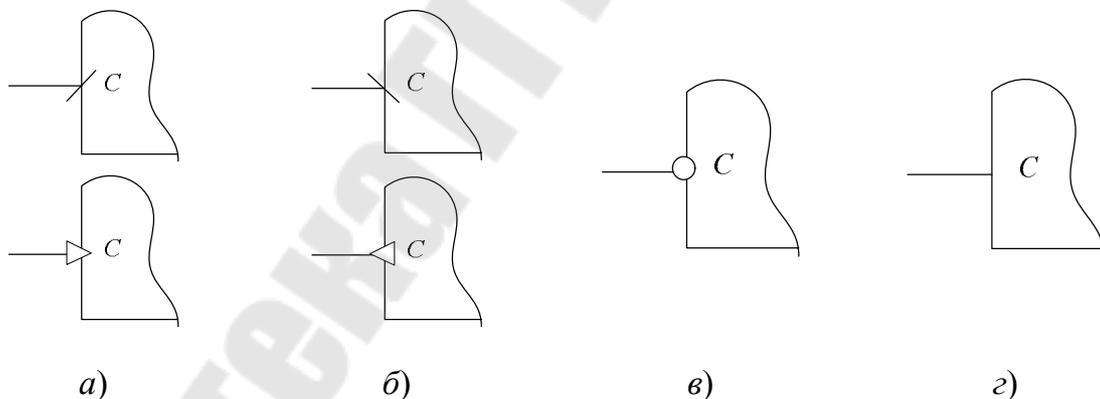


Рис. 3.2. Примеры обозначений входов синхронизации:

a – прямой динамический вход – срабатывание по фронту импульса синхронизации (по переходу от 0 к 1); *б* – инверсный динамический вход – срабатывание по срезу импульса (по переходу от 1 к 0);

в – прямой статический вход – срабатывание при 1 на данном входе;

г – инверсный статический вход – срабатывание при 0 на данном входе

Асинхронные триггеры и синхронные триггеры со статическим управлением имеют ограниченное применение. Например, эти триггеры не могут использоваться в счетчиках или регистрах сдвига. В за-

рубежной литературе триггерные устройства подразделяются на два типа – *latch* и *flip-flop (FF)*. Асинхронные триггеры и синхронные со статическим управлением относятся к *latch*-типу, а двухступенчатые триггеры, управляемые синхроимпульсом, и триггеры с динамическим управлением относятся к *FF*-типу. Двухступенчатые триггеры, управляемые импульсом (статические), и триггеры с динамическим управлением являются более универсальными.

Двухступенчатые триггеры, управляемые импульсом, воспринимают информационные сигналы, когда синхросигнал изменяет свое состояние с низкого на высокое, а затем снова на низкое, т. е. управляются импульсом. Синхронный триггер с динамическим управлением воспринимает информационные сигналы только в момент действия положительного перехода (переход от 0 к 1) или в момент действия отрицательного перехода (переход от 1 к 0) синхроимпульса. Вход триггера называется прямым динамическим, если переключение триггера осуществляется положительным перепадом импульса синхронизации (рис. 3.2, а). Вход называется инверсным динамическим, если переключение триггера осуществляется отрицательным перепадом синхросигнала (рис. 3.2, б). Характерной особенностью триггеров с динамическим управлением является то, что во время длительности импульса синхронизации триггер не реагирует на информационные сигналы и остается в прежнем состоянии независимо от уровня синхросигнала.

В двухступенчатых триггерах переход в новое состояние происходит после окончания действия синхроимпульса.

Асинхронный RS-триггер

Асинхронный *RS*-триггер – устройство с двумя устойчивыми состояниями, имеющее два входа *S* (от англ. *Set* – установка) и *R* (от англ. *Reset* – сброс) и два выхода *Q* и \bar{Q} . Этот триггер является основой для построения триггеров других типов и используется в качестве запоминающего элемента.

Если оба входа R_n и S_n в состоянии лог. 0, то триггер не изменяет свое состояние, т. е. триггер хранит 1 бит информации.

Если $S_n = 1$ и $R_n = 0$, то независимо от того, в каком состоянии триггер находился, следующее состояние триггера $Q_{n+1} = 1$.

Если $S_n = 0$ и $R_n = 1$, то независимо от того, в каком состоянии находился триггер, следующее его состояние $Q_{n+1} = 0$.

Если на RS -триггер подать одновременно оба единичных сигнала, то на обоих выходах Q и \bar{Q} появятся нули. Если теперь одновременно снять единицы со входов R и S , то оба логических элемента начнут переключаться в единичное состояние, каждый стремясь при этом оставить своего партнера в нуле. Какой элемент одержит в этом поединке победу, будет зависеть от их коэффициентов усиления, скоростей переходных процессов и ряда других неизвестных заранее факторов. Для разработчика схемы результирующее состояние триггера оказывается неопределяемым. Поэтому комбинация $R_n = S_n = 1$ считается запрещенной, и в обычных условиях ее не используют. В некоторых справочниках эту комбинацию даже называют неустойчивой, хотя пока она держится на входах, схема вполне устойчива. Комбинацию входов $R_n = S_n = 1$ допустимо применять только тогда, когда обеспечено не одновременное, а строго поочередное снятие R - и S -сигналов.

Работа RS -триггера также может быть представлена функцией на карте Карно и логическим уравнением. Входные и выходные переменные триггера в момент срабатывания t_n и после срабатывания t_{n+1} можно представить функциональной зависимостью $Q_{n+1} = f(S_n, R_n, Q_n)$, где R_n и S_n – состояние информационных входов; Q_n – значение выходного сигнала триггера в момент времени t_n ; Q_{n+1} – значение выходного сигнала триггера в момент времени t_{n+1} .

Для синтеза асинхронного RS -триггера в состав переменных необходимо ввести значения выходного сигнала Q_n в момент времени t_n . Тогда таблица его функционирования будет иметь вид, представленный в табл. 3.2

Таблица 3.2

Таблица функционирования асинхронного RS -триггера

Q_n	S_n	R_n	Q_{n+1}
0	0	0	0
1	0	0	0
0	1	0	1
1	1	0	1
0	0	0	0
1	0	0	0
0	1	1	*
0	0	0	*

По данной таблице составим логическое булево выражение функционирования RS -триггера или, иначе говоря, его функцию алгебры логики (ФАЛ), воспользовавшись картой Карно для трех переменных (см. рис. 3.3).

Q_{n+1}^{RS}	SR	\overline{SR}	\overline{SR}	\overline{SR}
Q_n	*	1	1	0
\overline{Q}_n	*	1	0	0

Рис. 3.3. Карта Карно для асинхронного RS -триггера

После упрощения получаем выражение для схемной реализации RS -триггера в виде: $Q_{n+1}^{RS} = S + Q\overline{R}$, т. е. он требует для своего построения два двухвходовых логических элемента 2ИЛИ-НЕ и называется RS -триггером с прямыми входами. Для инверсного выхода аналогично имеем: $\overline{Q}_{n+1} = R_n + \overline{Q}_n\overline{S}_n$.

Реализация RS -триггера на элементах ИЛИ-НЕ, согласно выражениям $Q_{n+1} = S + Q\overline{R}$ и $\overline{Q}_{n+1} = R_n + \overline{Q}_n\overline{S}_n$, называемым функциями возбуждения, показана на рис. 3.4.

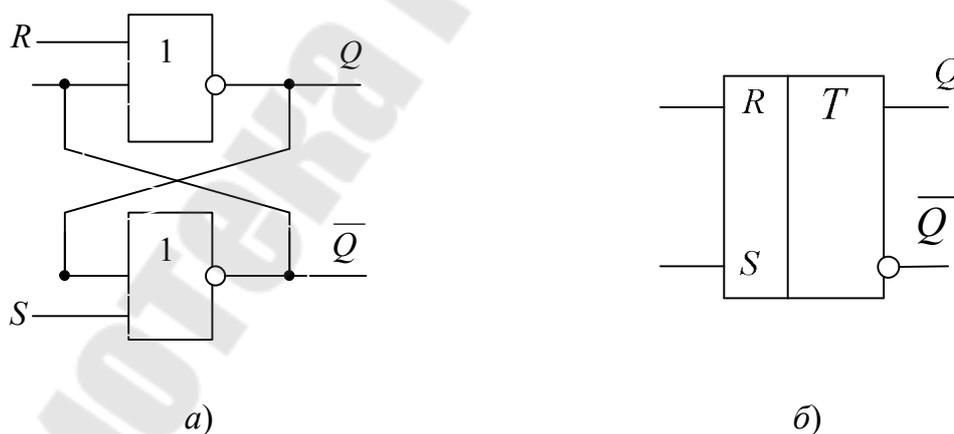


Рис. 3.4. Асинхронный RS -триггер:
 а – реализация на элементах 2ИЛИ-НЕ;
 б – его условное графическое обозначение

Режимы работы асинхронного RS -триггера с прямыми входами можно представить табл. 3.3.

Режимы работы асинхронного RS -триггера

t_n			t_{n+1}	Режим работы
Q_n	S_n	R_n	Q_{n+1}	
0	0	0	0	Хранение информации
1	0	0	1	
0	1	0	1	Установка лог. 1
1	1	0	1	
0	0	1	0	Установка лог. 0
1	0	1	0	
0	1	1	*	Неопределенность (запрещенная комбинация)
1	1	1	*	

Временные диаграммы процесса переключения RS -триггера с учетом задержек элементов представлены на рис. 3.5. Поступление единичного сигнала на вход S при нулевом состоянии триггера, вызовет формирование логического нуля через время задержки t_3 на выходе \bar{Q} . Этот сигнал поступит на соответствующий вход верхнего элемента и еще через такой же промежуток времени t_3 он перейдет в единичное состояние [3].

Активное (единичное) значение сигнала R подается на вход верхнего логического элемента триггера и через время t_3 после прихода логической единицы на выходе Q сформируется нулевой уровень. Он поступит на верхний вход нижнего логического элемента триггера, и так как значение сигнала S равно нулю, вызовет с задержкой t_3 переход соответствующего элемента ИЛИ-НЕ в единичное состояние.

Из диаграмм следует, что триггер переключится в новое устойчивое состояние не ранее чем через $2t_3$ после подачи определенной комбинации сигналов.

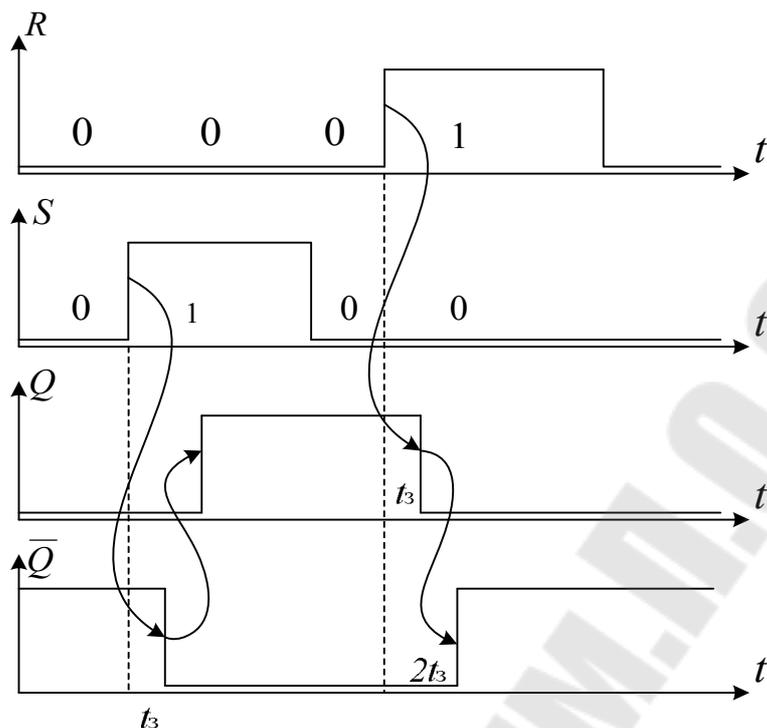


Рис. 3.5. Временные диаграммы работы асинхронного RS-триггера

При этом длительности импульсов на прямом и инверсном выходах триггера будут отличаться друг от друга также на $2t_3$. Очевидно, что длительность единичных сигналов на входах R и S не может быть меньше времени t_3 , а интервал между ними – $2t_3$. В противном случае элементы триггера могут не успеть переключиться в новое состояние, и его работа будет ненадежной. Отсюда следует, что максимальная частота смены входных воздействий (рабочая частота переключения триггера) определяется из соотношения $f_{\max} = \frac{1}{2t}$.

Асинхронный $\overline{R}\overline{S}$ -триггер на элементах И-НЕ

Преобразовав функцию возбуждения RS-триггера по теореме де Моргана, можно реализовать триггер на элементах 2И-НЕ. При этом получаем: $Q_{n+1} = S + Q\overline{R} = \overline{\overline{S} \cdot \overline{Q\overline{R}}}$.

Активными уровнями управляющих напряжений на входах R и S здесь будут сигналы логических нулей, а запрещенной для такого триггера является комбинация $\overline{R} = \overline{S} = 0$. $\overline{R}\overline{S}$ -триггер, реализованный на элементах 2И-НЕ (рис. 3.6), называется асинхронным триггером с инверсными входами.

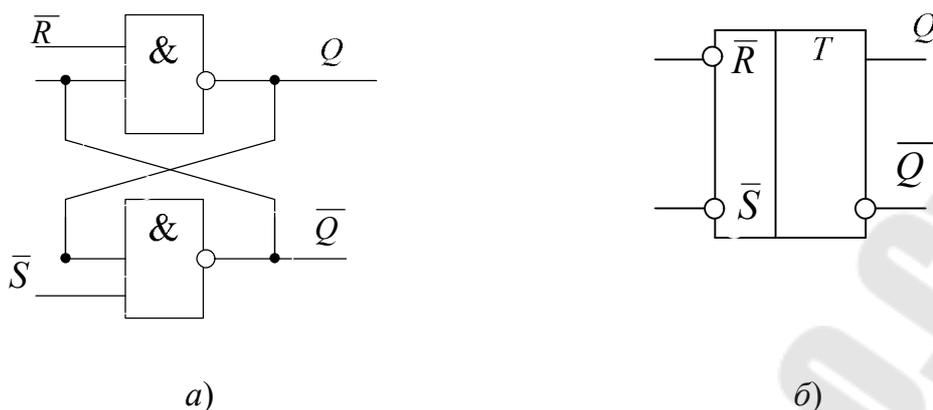


Рис. 3.6. Асинхронный $\overline{R}\overline{S}$ -триггер:
 а – построение триггера на логических элементах 2И-НЕ;
 б – его условное графическое изображение

Синхронный RS-триггер со статическим управлением

Рассмотренные триггеры относятся к классу асинхронных. Их особенность состоит в том, что они реагируют на изменения управляющих сигналов непосредственно в момент их поступления. В ряде ситуаций, особенно при построении сложных цифровых устройств, различие в моментах прихода таких сигналов на разные триггеры приведет к неодновременности их переключения, что может вызвать нарушение работы связанных с ними устройств, в частности вследствие возникновения состязаний фронтов сигналов.

Эта проблема может быть решена при использовании синхронных или синхронизируемых триггеров, которые реагируют на входные воздействия лишь после прихода специального управляющего сигнала, синхронизации. Соответствующий вход триггера обозначается буквой C (рис. 3.7). Синхронный триггер можно представить как совокупность асинхронного и некоторого устройства синхронизации, представленного некоторой комбинационной схемой (КС), подключаемого к его входам (рис. 3.7, а).

Реализация синхронного RS-триггера со статическим управлением на основе базового асинхронного $\overline{R}\overline{S}$ -триггера с инверсными входами представлена на рис. 3.7.

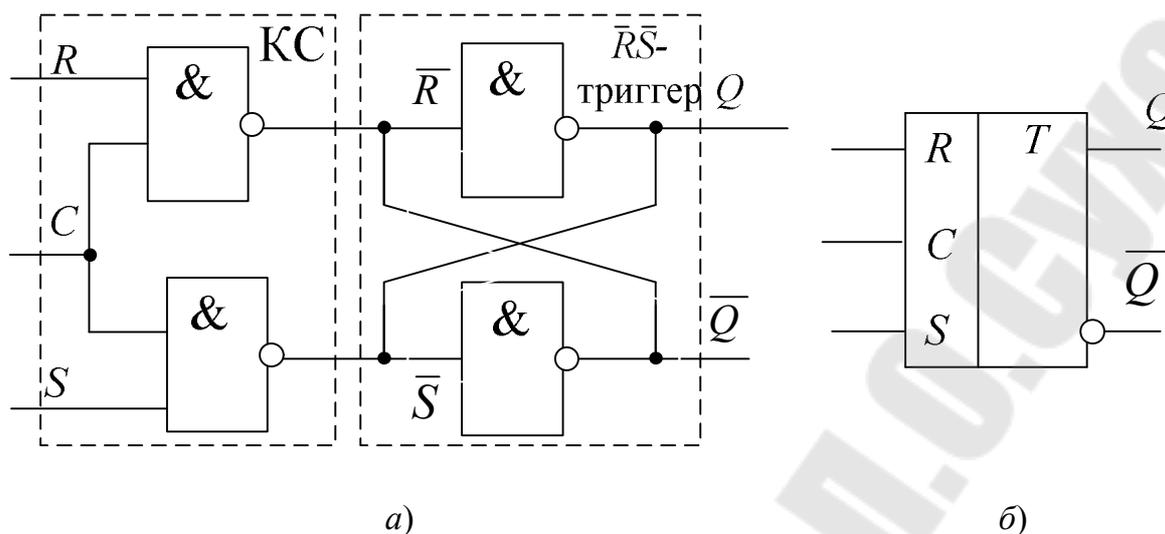


Рис. 3.7. Синхронный RS -триггер со статическим управлением:
 а – построение на базе асинхронного $\overline{R}\overline{S}$ -триггера;
 б – его условное графическое обозначение

Синхронный D -триггер со статическим управлением

В классе синхронных триггеров имеется разновидность, которая называется D -триггер (D -latch) (от англ. *Delay* – задержка). Он имеет информационный вход D и вход синхронизации C (рис. 3.8). Функция возбуждения триггера при сигнале на входе синхронизации $C = 1$ имеет вид $Q_{n+1} = D$, что означает тождественность состояния выхода значению входного сигнала. Для синхронного D -триггера данная запись говорит о том, что установление состояния выхода произойдет лишь после прихода сигнала синхронизации C , т. е. с некоторой задержкой. Если сравнить функционирование синхронных RS - и D -триггеров, то можно сделать вывод, что при подаче на вход S прямого, а на вход R инверсного значения сигнала D , RS -триггер трансформируется в D -вариант. Часто такой триггер называют триггером-защелкой.

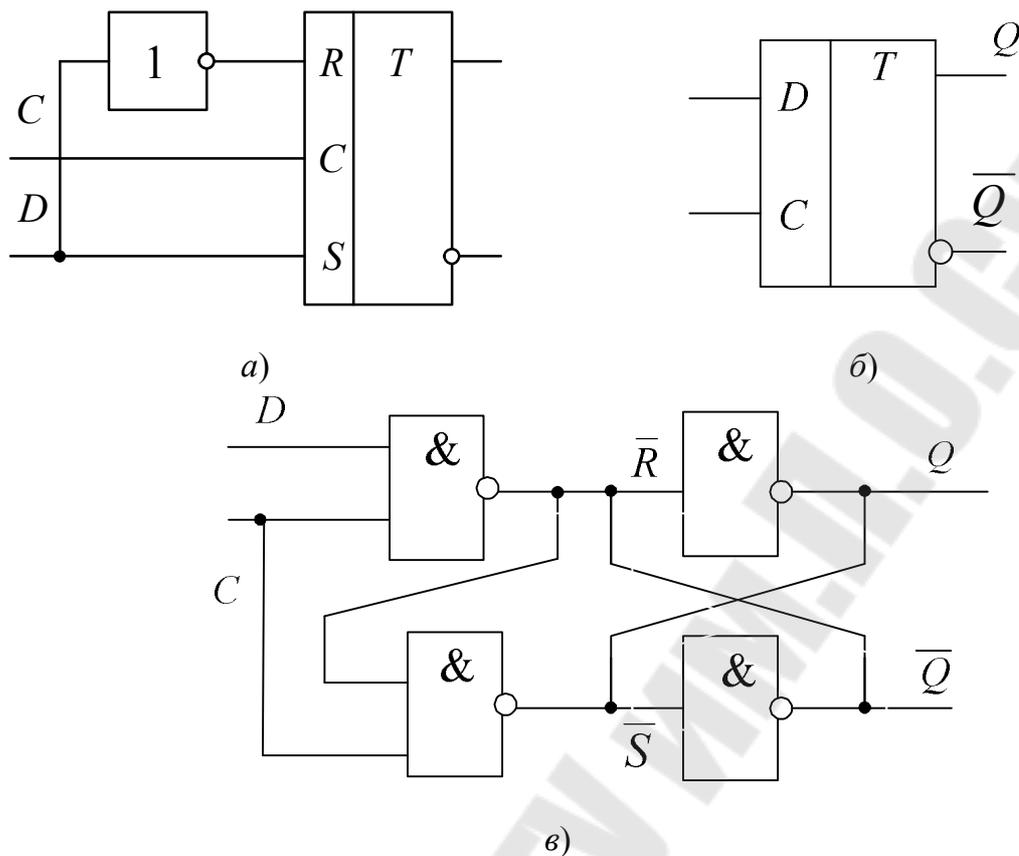
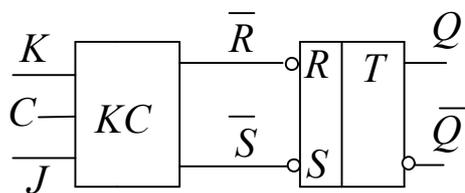


Рис. 3.8. Синхронный D -триггер со статическим управлением:
 а – реализация на базе асинхронного RS -триггера;
 б – его условное графическое обозначение;
 в – реализация D -триггер на логических элементах

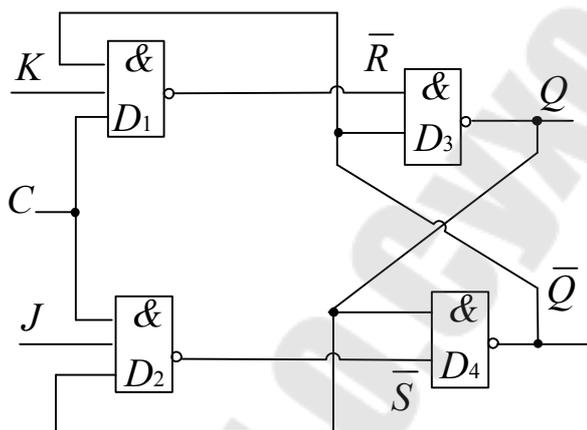
JK-триггер MS-конфигурации

JK -триггер – это модернизированный RS -триггер, в котором неопределенное состояние RS -триггера доопределено таким образом, что при $J = K = 1$ триггер переключается в противоположное состояние. При этом вход J соответствует входу S , а вход K – входу R .

Рассмотрим синтез JK -триггера со статическим управлением, используя базовый асинхронный $\bar{R}\bar{S}$ -триггер. Блок-схема триггера приведена на рис. 3.9, а.



а)



б)

Рис. 3.9. Синхронный JK -триггер со статическим управлением:
а – блок-схема; б – реализация на базовом асинхронном $\overline{R}\overline{S}$ -триггере

Рассмотрим работу синхронного JK -триггера со статическим управлением.

При отсутствии сигнала на входе C (уровень лог. 0) на выходах логических элементов D_3 и D_4 установлены уровни лог. 1, следовательно, асинхронный триггер на элементах D_1 и D_2 сохраняет свое состояние. При поступлении на вход C синхроимпульса ($C = 1$) высокий уровень (лог. 1) будет передаваться через один из логических элементов D_3 или D_4 , того, вход которого, соединенный с выходом триггера, будет в данный момент равен лог. 1. Если $Q = 1$, то становится равным нулю выходной сигнал логического элемента D_4 , и при поступлении синхроимпульса триггер обнуляется. Если $\overline{Q} = 1$, то становится равным нулю выходной сигнал логического элемента D_3 , и при поступлении синхроимпульса триггер устанавливается. В любом случае состояние триггера изменяется.

Однако при комбинации входных сигналов $J = K = 1$; $Q = 0$ в момент поступления синхроимпульса на вход синхронизации после временного интервала, равного времени задержки распространения сигнала ($\Delta t = t_3$) через два элемента И-НЕ (D_3 и D_4), выходное состояние выхода триггера изменится на противоположное: $Q = 1$. Теперь комбинация входных сигналов следующая: $J = K = 1$; $Q = 1$, и после следующего временного интервала Δt состояние выхода триггера снова будет изменяться: $Q = 0$.

Таким образом, можно сделать вывод, что в течение времени, равному длительности импульса синхронизации $t_{\text{имп}}$, схема, изображенная на рис. 3.9, б, имеет неустойчивое состояние, т. е. находится в автоколебательном режиме, причем после окончания синхроимпульса состояние выхода триггера будет неизвестно. Следовательно, синхронный JK -триггер со статическим управлением не может быть реализован на одной элементарной запоминающей ячейке.

Поэтому JK -триггеры строятся или двухступенчатыми, или с динамическим управлением, или управляемые синхроимпульсом.

Управляемые синхроимпульсом триггеры строятся по двухступенчатой MS -конфигурации (*Master-Slave*), которая состоит из каскада двух RS -триггеров с обратной связью (с выхода второго на вход первого) (рис. 3.10).

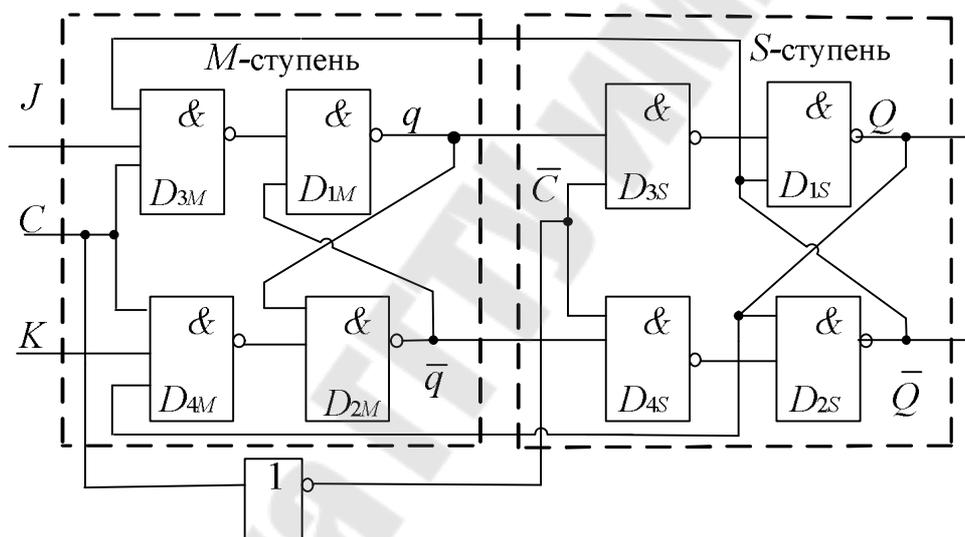


Рис. 3.10. Двухступенчатый JK -триггер MS -типа с инверсией сигнала синхронизации

При наличии синхроимпульса ($C = 1$) триггер M -ступени имеет разрешение работы, и сигналы на его выходах q и \bar{q} зависят от состояния его входов J и K . В то же время триггер S -ступени получает запрет на работу из-за присутствия логического нуля на входе синхронизации ($\bar{C} = 0$). Когда состояние на синхровходе изменяется с высокого на низкий уровень ($C = 0$), на триггер M -ступени подается запрет, а на триггер S -ступени – разрешение, поскольку теперь $\bar{C} = 1$. Получается, что выходы Q и \bar{Q} повторяют состояния на выходах q и \bar{q} , соответственно, поэтому вторая ступень триггера получила

название ведомой: S - (от англ. *Slave* – ведомый), а первая – главной, или ведущей: M (от англ. *Master* – ведущий, главный).

На рис. 3.11 приведены временные диаграммы работы синхронного двухступенчатого JK -триггера [3].

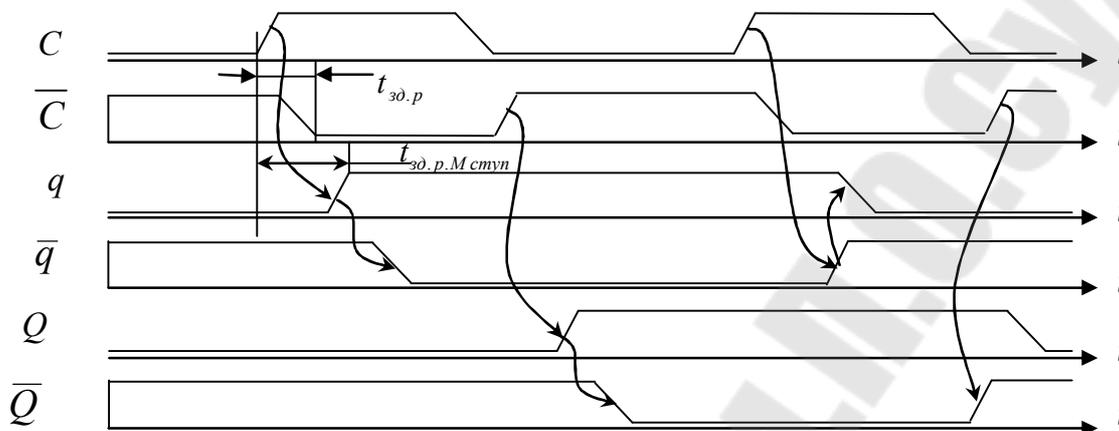


Рис. 3.11. Временные диаграммы работы синхронного двухступенчатого JK -триггера

При $J = 0$ и $K = 0$ сигнал лог. 1 на C -входе не может открыть входные логические элементы И-НЕ, т. е. триггер не меняет состояния – осуществляется режим хранения.

При $J = 1$, $K = 0$ триггер M -ступени переключается в единицу ($q = 1$) при поступлении на C -вход лог. 1 (фронт C^{01}), а триггер S -ступени переключается в 1 ($Q = 1$) при фронте C^{10} (режим установки).

При $J = 0$, $K = 1$ триггер M -ступени переключается в ноль ($q = 0$) по фронту C^{01} , на выходе S -ступени: $Q = 0$ по спаду C^{10} (сброс).

При $J = K = 1$ сигналы с выходов Q и \bar{Q} открывают для сигнала на C -входе именно тот логический элемент И-НЕ, пройдя через который триггер переключается в противоположное положение в два этапа: сначала при C^{01} переключается q , а затем по C^{10} – Q (счетный режим, или T -режим).

Триггер непрозрачен, т. е. сигналы, поступающие на входы J и K , не проходят сразу же на выход Q -триггера, как это происходит в синхронных RS -и D -триггерах, рассмотренных ранее.

В этом триггере видны параллельные пути распространения фронтов сигнала со входа синхронизации C , которые являются причиной гонок. Чтобы микросхемы подобных JK -триггеров не давали сбоев, опасность гонок ликвидируется за счет нормирования мини-

мальной задержки M -ступени (или специально введенной гарантированной разницы в порогах срабатывания инвертора и входных схем И-НЕ ступени M). Необходимо, чтобы инвертор переключался при более низком уровне синхросигнала, чем входные логические элементы, и тогда нужная последовательность срабатывания инвертора и M -ступени обеспечивается за счет конечной длительности фронтов C -сигнала. Инвертор среагирует на фронт C^{01} сигнала раньше, а на его C^{10} позже, чем это делает M -ступень.

***T*-триггер**

T -триггер имеет один вход T (*trigger or toggle*). T -триггер изменяет свое состояние на противоположное с каждым импульсом синхронизации, если $T=1$, и сохраняет свое состояние, если $T=0$. T -триггер является основой для построения счетчиковых структур.

T -триггеры не производятся в интегральном исполнении, но могут быть легко построены из JK - и D -триггеров. Условное обозначение T -триггера представлено на рис. 3.12, а. Исходя из определения T - и JK -триггеров очевидно, что T -триггер получается из JK -триггера, если входы J и K объединить (рис. 3.12, б). Поэтому T -триггер иногда рассматривают как одноходовый вариант JK -триггера.

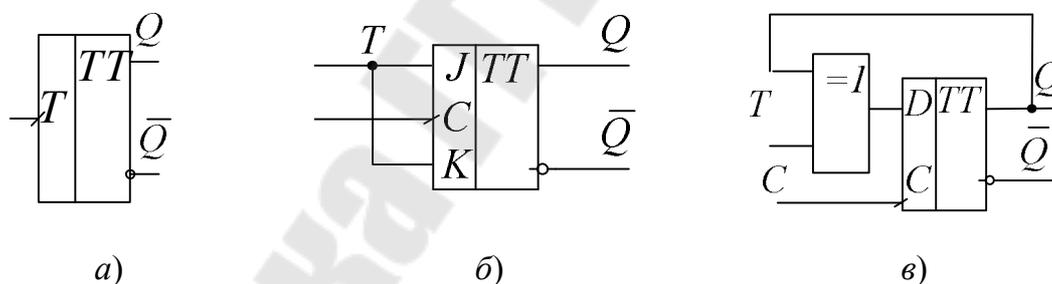


Рис. 3.12. T -триггер:

- а – условное графическое обозначение на структурных схемах;
- б – построение на основе синхронного JK -триггера;
- в – построение на основе синхронного D -триггера

Так как его состояние меняется на противоположное после каждого воздействия, то, чтобы D -триггер функционировал как T -триггер, достаточно преобразовать его в соответствии с выражением: $D_n = Q_n \oplus T_n$. Схема T -триггера, построенная по этому выражению, будет выглядеть так, как показано на рис. 3.12, в.

Выражение $D_n = Q_n \oplus T_n$ при выполнении условия $T_n = 1$ может быть переписано следующим образом: $D_n = Q_n \oplus 1 = \bar{Q}_n$, что соответствует делению частоты синхронизации на два (рис. 3.13).

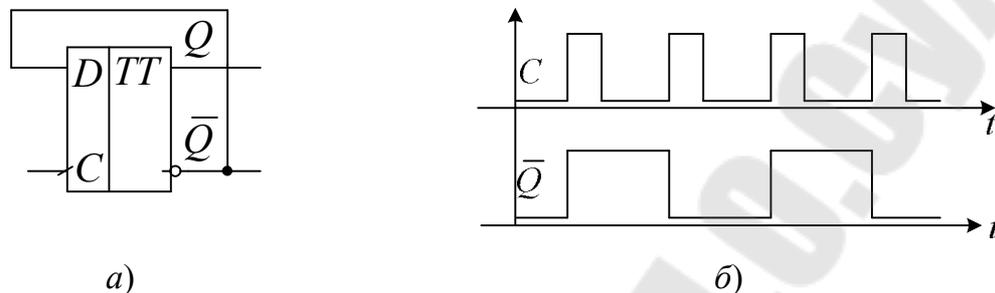


Рис. 3.13. Делитель частоты на два:
 а – схема на основе D -триггера; б – временные диаграммы

3. Порядок выполнения лабораторной работы

3.1. Исследование триггеров на логических элементах

3.1.1. Исследование асинхронного RS -триггера на элементах ИЛИ-НЕ.

Используя логические элементы 2ИЛИ-НЕ, собрать асинхронный RS -триггер (рис. 3.3).

Исследовать работу триггера, подавая на входы триггера различные комбинации входных сигналов.

Заполнить таблицу истинности асинхронного RS -триггера (табл. 3.4).

Таблица 3.4

Таблица истинности асинхронного RS -триггера

		t_n		t_{n+1}	
S	R	Q_n	\bar{Q}_n	Q_{n+1}	\bar{Q}_{n+1}
0	0	0	1	0	1
		1	0	1	0
0	1	0	1	0	1
		1	0	1	0
1	0	0	1	0	1
		1	0	1	0
1	1	0	1	0	1
		1	0	1	0

3.1.2. Исследование асинхронного $\overline{R}\overline{S}$ -триггера на элементах И-НЕ

Используя логические элементы 2И-НЕ, собрать асинхронный $\overline{R}\overline{S}$ -триггер (рис. 3.6).

Исследовать работу триггера, подавая на его входы различные комбинации входных сигналов.

Получить таблицу истинности асинхронного $\overline{R}\overline{S}$ -триггера (табл. 3.5).

Таблица 3.5

Таблица истинности асинхронного RS -триггера

t_n			t_{n+1}
\overline{S}	\overline{R}	Q_n	Q_{n+1}
		0	
		1	

3.1.3. Исследование синхронного RS -триггера со статическим управлением (рис. 3.7)

Используя логические элементы И-НЕ, собрать синхронный RS -триггер со статическим управлением.

Исследовать работу триггера, подавая на его входы различные комбинации входных сигналов R, S, C .

Получить таблицу истинности синхронного RS -триггера со статическим управлением (табл. 3.6).

Таблица 3.6

Таблица истинности асинхронного RS -триггера со статическим управлением

t_n				t_{n+1}
S	R	C	Q_n	Q_{n+1}
0	0	0	0	
		1	1	

3.1.4. Исследование синхронного D -триггера со статическим управлением.

Используя логические элементы И-НЕ, собрать синхронный D -триггер со статическим управлением (рис. 3.8).

Исследовать работу триггера, подавая на входы различные комбинации входных сигналов.

Заполнить таблицу истинности синхронного D -триггера со статическим управлением (табл. 3.7).

Таблица 3.7

Таблица истинности синхронного D -триггера со статическим управлением

t_n			t_{n+1}
C	D	Q_n	Q_{n+1}

3.1.5. Исследование JK -триггера MS -конфигурации.

Используя логические элементы И-НЕ, собрать JK -триггер со статическим управлением (рис. 3.9).

Исследовать работу двухступенчатого JK -триггера, подавая на входы различные комбинации входных сигналов.

Внимание! Для подачи синхроимпульса использовать антидребезговую кнопку.

Получить таблицы истинности JK -триггера, учитывая состояния на выходах всех элементов триггера (табл. 3.8).

Таблица 3.8

Таблица истинности асинхронного JK -триггера

J	K	C	q	\bar{q}	Q	\bar{Q}
0	0	0				
		1				

Построить временные диаграммы работы JK -триггера для случая $J = K = 1$.

3.2. Исследование модульных триггеров

3.2.1 Исследование асинхронного $\bar{R}\bar{S}$ -триггеров.

Вставить ИС 1533ТР2 в наборную панель $IDL-800$. Вывод 16 ИС соединить с источником питания $+5V$, а его вывод 8 – с общей шиной установки. Условное обозначение данного триггера показано на рис. 3.14, а.

Исследовать работу триггера с одним \bar{S} входом, получить таблицу истинности.

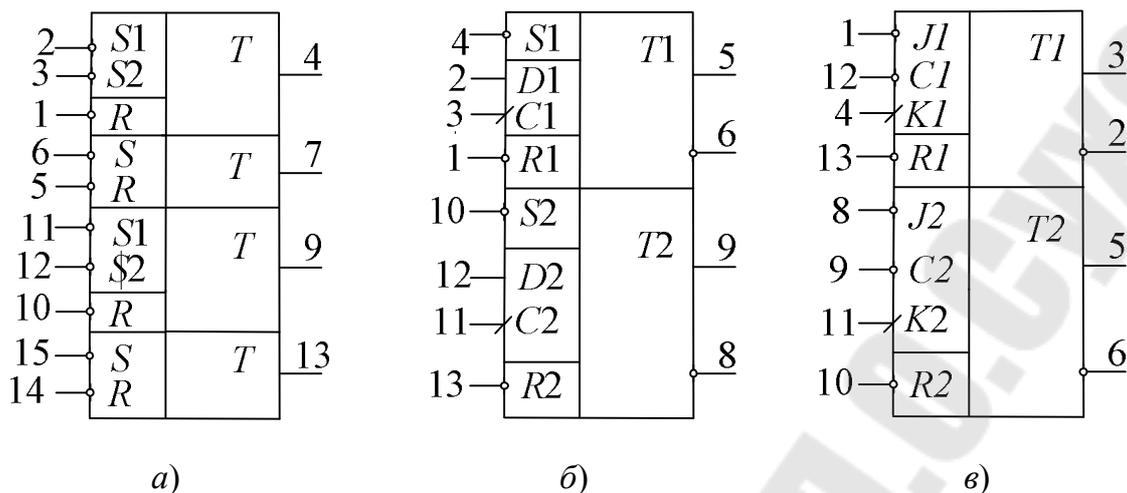


Рис. 3.14. Условные обозначения модульных триггеров:
 а – 1533TP2; б – 1533TM2; в – 1533TB6

Исследовать работу триггера с двумя \bar{S} -входами, получить таблицу истинности. Сделать выводы.

3.2.2. Исследование синхронного D -триггера с прямым динамическим входом на ИС 1533TM2.

Вставить ИС 1533TM2 в наборную панель IDL-800. Вывод 14 ИС соединить с источником питания $+5V$, а его вывод 7 – с общей шиной установки. Условное обозначение ИС 1533TM2 показано на рис. 3.14, б.

Исследовать асинхронные операции установки, S и сброса R . Результаты представить в табличной форме.

Исследовать синхронную работу D -триггера. Результаты представить в табличной форме.

Преобразовать D -триггер в схему делителя на два (рис. 3.13). Исследовать работу делителя, построить временные диаграммы работы делителя на два.

Для исследования работы делителя на два можно воспользоваться также функциональным генератором IDL-800 и осциллографом.

3.2.3. Исследование синхронного триггера с инверсным динамическим входом 1533 TB6.

Вставить ИС 1533TB6 в наборную панель IDL-800. Вывод 14 ИС соединить с источником питания $+5V$, а его вывод 7 – с общей шиной установки. Условное обозначение TB6 показано на рис. 3.14, в.

Исследовать работу JK -триггера. Результаты представить в табличной форме.

Преобразовать JK -триггер в D -триггер. Для этого вход J использовать как D -вход и соединить его через инвертор с входом K . Исследовать работу полученного D -триггера. Результаты представить в табличной форме.

4. Содержание отчета

1. Цель работы.
2. Схемы, исследуемые в работе.
3. Таблицы и временные диаграммы работы исследуемых триггеров.
4. Выводы по результатам исследования.

5. Контрольные вопросы

1. Дать определение триггера.
2. Какие признаки используются при классификации триггеров?
3. Что такое таблица истинности или характеристическая таблица триггера?
4. В чем состоит отличие синхронных триггеров и асинхронных?
5. В чем отличие синхронных триггеров со статическим управлением от синхронных триггеров с динамическим управлением?
6. Почему не могут быть построены T - и JK -триггеры со статическим управлением?
7. Объяснить принцип действия двухступенчатого триггера (MS -триггера).
8. Преобразовать RS -, D -, JK -триггеры в T -триггер.
9. Пояснить работу D -триггера с динамическим управлением.
10. Пояснить работу JK -триггера с динамическим управлением.
11. В чем заключается различие и сходство RS -триггера и JK -триггера?

Лабораторная работа № 4
ИССЛЕДОВАНИЕ РЕГИСТРОВ

1. Цель работы

Изучение принципов построения регистров, исследование режимов их работы и возможного применения.

Используемое оборудование:

- универсальная лабораторная установка *IDL-800*;
- четыре логических элемента 2И-НЕ – ИС 1533ЛА3 (*74ALS00*);
- три логических элемента 3И-НЕ – 1533ЛА4 (*74ALS10*);
- два синхронных динамических *D*-триггера – 1533ТМ2;
- четырехразрядный регистр сдвига – ИС КР555ИР16.

2. Основные теоретические сведения

Назначение регистров – хранение и преобразование многоразрядных двоичных чисел. Регистры обладают большими функциональными возможностями. Они используются в качестве управляющих и запоминающих устройств генераторов, а также преобразователей кодов, счетчиков, делителей частоты, узлов временной задержки.

Элементами структуры регистров являются синхронные триггеры *D*-, *RS*- или *JK*-типа с динамическим или статическим управлением. Так как одиночный триггер может запомнить один разряд (бит) двоичной информации, то его можно считать одноразрядным регистром. Для запоминания многоразрядных чисел используют «линейки» из нескольких триггеров – по количеству разрядов чисел. В схемы регистров входят также комбинационные элементы, роль которых в данном случае вспомогательная.

Занесение информации в регистр называют операцией ввода, или *считывания*. Запись информации в регистр не требует его предварительного обнуления (сброса).

Все регистры в зависимости от функциональных свойств подразделяются на две категории: *накопительные* регистры (памяти, хранения) и *сдвиговые*.

В свою очередь, сдвиговые регистры по способу ввода и вывода информации можно разделить на *параллельные*, *последовательные* и *комбинированные*; а также по направлению передачи (сдвига) инфор-

мации – на однонаправленные (их называют *сдвиговые*) и *реверсивные* (способные сдвигать данные вправо или влево в зависимости от специального управляющего сигнала).

На рис. 4.1 приведена схема четырехразрядного регистра сдвига на *RS*-триггерах, способного работать как в параллельном, так и последовательном режимах [6].

Рассмотрим работу этого регистра в режиме последовательного ввода информации (вход *DS*) и последовательного/параллельного вывода. Для разрешения параллельной записи вход *PE* (*Preset Enable*) требуется подать низкий уровень напряжения ($PE = 0$), обнулить регистр ($\bar{R} = 0$) и подать сигнал $\bar{R} = 1$.

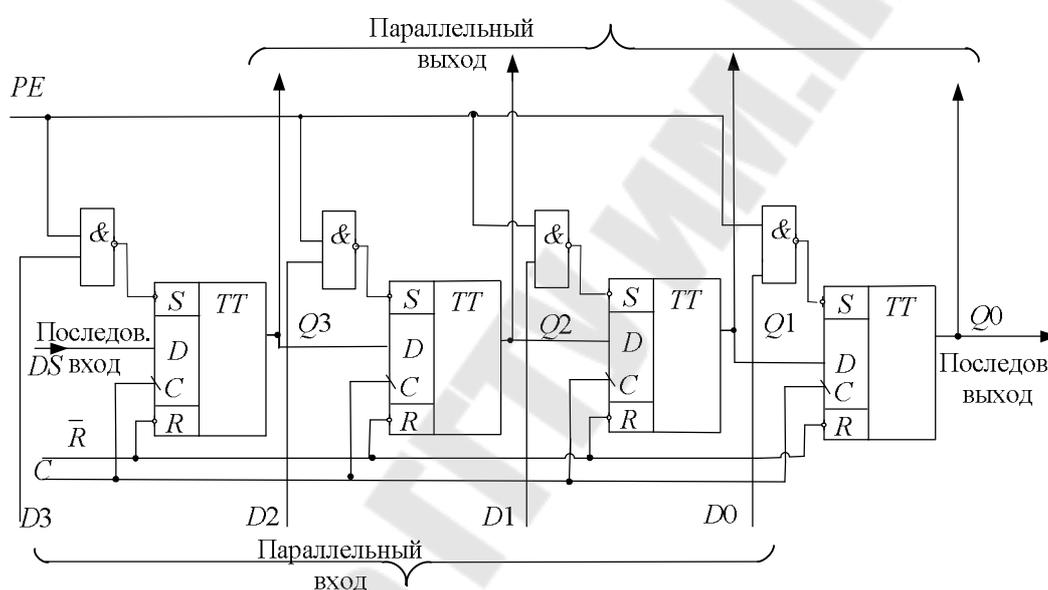


Рис. 4.1. Четырехразрядный регистр сдвига на базе КР1533ТМ2 и ИС КР1533ЛА3

При подаче последовательного двоичного кода на вход *D* с приходом каждого синхроимпульса эти данные будут сдвигаться по линейке триггеров, причем на четвертый синхроимпульс загруженные данные можно будет считать в параллельном коде (выходы $Q_3 \div Q_0$), а далее и последовательном коде (выход Q_0).

На рис. 4.2 приведены диаграммы работы регистра при последовательной загрузке двоичного четырехразрядного числа $D = 1011$.

Для параллельной загрузки этого же числа $D = 1011$ также вначале требуется обнуление регистра ($\bar{R} = 0$) и последующая подача сигнала $\bar{R} = 1$. После чего на входы данных подается параллельный четырехразрядный сигнал: $D_3 = 1$, $D_2 = 0$, $D_1 = 1$ и $D_0 = 1$.

При подаче на вход PE высокого уровня, данные с входов D_3, D_2, D_1, D_0 запишутся в регистр. Теперь данные доступны в параллельном виде на выходах триггеров регистра. При подаче на синхровход регистра импульсов синхронизации на выходе Q_0 получим выходные данные в последовательном виде (рис. 4.3).

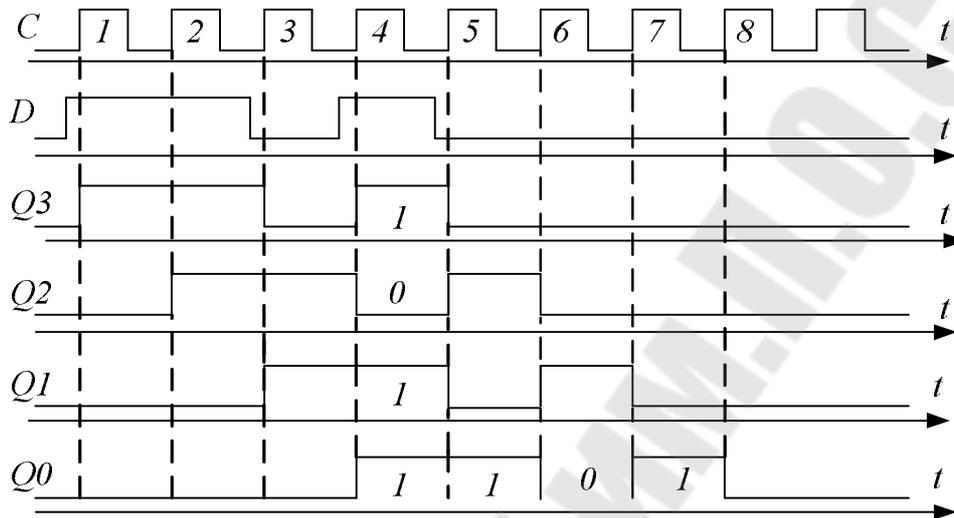


Рис. 4.2. Временные диаграммы работы регистра при последовательном вводе информации $D = 1011$

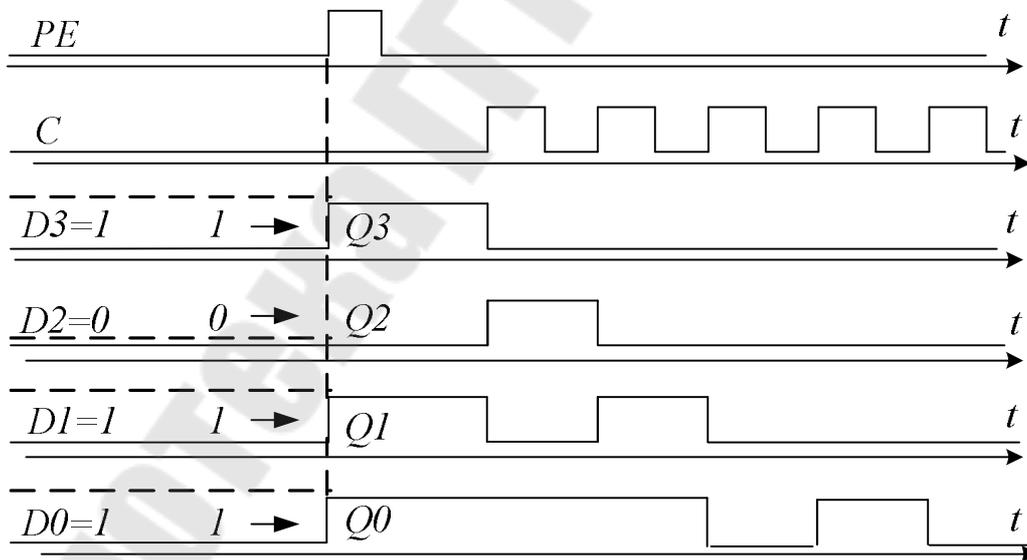


Рис. 4.3. Временные диаграммы работы регистра в режиме параллельной загрузки информационного сигнала $D = 1011$

На рис. 4.4. представлено условное графическое обозначение четырехразрядного регистра сдвига КР 555ИР16 с возможностью параллельной и последовательной (по входу DS) записи информации.

При $PE = 1$ разрешена параллельная запись, при $PE = 0$ – последовательная.

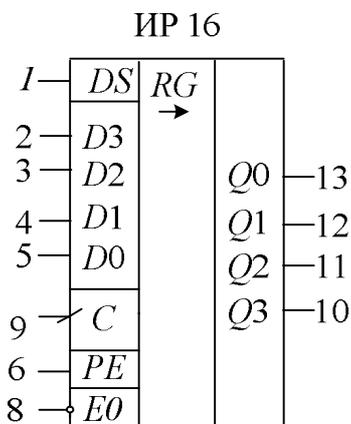


Рис. 4.4. Четырехразрядный регистр сдвига КР 555ИР16

Схемы на основе регистров сдвига

Кольцевой счетчик. Если последовательный выход регистра сдвига Q_0 соединить с входом последовательного ввода данных, то единичный бит, записанный в один из триггеров, будет циркулировать по регистру при подаче синхроимпульсов. Такая схема называется *кольцевым счетчиком*. На выходах триггеров генерируется непрерывающиеся последовательности импульсов, которые могут быть полезны для различных приложений.

Схема может быть использована для подсчета импульсов. Число посчитанных импульсов определяется единичным уровнем на выходе соответствующего триггера. Модуль счета такого счетчика (mod) равен числу разрядов регистра (N). Эта схема может рассматриваться и как делитель на N .

Счетчик Джонсона. Если инверсный выход триггера $\overline{Q_0}$ соединить с входом последовательной загрузки данных получится устройство, называемое *счетчиком Джонсона*. Причем при подаче импульсов синхронизации после обнуления регистра на выходах триггеров будут генерироваться сигналы в формы меандра.

Таким образом, счетчик Джонсона – это делитель на $2N$, т. е. модуль его счета: $\text{mod} = 2N$.

3. Порядок выполнения лабораторной работы

3.1. Исследование четырехразрядного регистра сдвига

На наборной панели *IDL-800* собрать схему четырехразрядного регистра сдвига, показанную на рис. 4.1.

3.1.1. Исследование работы регистра при последовательной записи четырехразрядного двоичного числа, заданного преподавателем.

На вход *PE* подать низкий уровень напряжения, затем обнулить регистр. Осуществить запись заданного преподавателем числа по входу *DS*. Подавая импульсы синхронизации (использовать антидребезговую кнопку) на вход *C*, убедиться в записи данных с последовательного входа в триггеры регистра. Контролируя состояние выходов регистра $Q_3 \div Q_0$ при помощи светодиодов, нарисовать временные диаграммы его работы.

3.1.2. Исследование работы регистра при параллельной записи четырехразрядного двоичного числа, заданного преподавателем.

Обнулить регистр, на вход *PE* подать высокий уровень напряжения. На входы $D_3 \div D_0$ подать заданное преподавателем четырехразрядное двоичное число.

3.2. Исследование кольцевого счетчика

На основе предыдущей схемы регистра сдвига построить кольцевой счетчик. Для этого соединить последовательный выход регистра (выход Q_0) со входом последовательного ввода данных (вход *DS*).

Далее требуется обнулить регистр, затем записать в него двоичное четырехразрядное число 0001 в параллельном виде, после чего подать синхроимпульсы на вход *C*.

Результаты наблюдения выходных сигналов $Q_3 \div Q_0$ свести в таблицу, нарисовать временные диаграммы его работы (табл. 4.1).

Таблица 4.1

Таблица результатов наблюдения выходящих сигналов $Q_3 \div Q_0$

<i>C</i>	Q_3	Q_2	Q_1	Q_0
0				
1				
...				
7				

3.3. Исследование счетчика Джонсона

Преобразовать схему кольцевого счетчика в счетчик Джонсона. Для этого необходимо объединить инверсный выход $\overline{Q_0}$ с последовательным входом регистра (DS).

Далее требуется обнулить регистр, а затем подать – синхросигналы. Результаты наблюдения выходных сигналов $Q_3 \div Q_0$ свести в таблицу, нарисовать временные диаграммы его работы.

4. Содержание отчета

1. Цель работы.
2. Схемы, исследуемые в работе.
3. Таблицы и временные диаграммы работы исследуемых триггеров.
4. Выводы по результатам исследования.

5. Контрольные вопросы

1. Объяснить работу регистров во всех четырех режимах работы.
2. Как строится реверсивный регистр сдвига?
3. Как строится кольцевой счетчик?
4. Чему равен модуль счета кольцевого счетчика?
5. Как строится счетчик Джонсона?
6. Чему равен модуль счета счетчика Джонсона?

ИССЛЕДОВАНИЕ АСИНХРОННЫХ СЧЕТЧИКОВ

1. Цель работы

Изучение принципов построения асинхронных счетчиков, исследование режимов их работы и возможного применения.

Используемое оборудование:

- универсальная лабораторная установка *IDL-800*;
- четыре логических элемента 2И-НЕ – ИС 1533ЛИ1 (*74ALS00*);
- два синхронных динамических *D*-триггера с прямым динамическим синхровходом – 1533 ТМ2 (*74ALS74*);
- два *JK*-триггера с инверсным динамическим синхровходом – 1533ТВ6;
- двоично-десятичный асинхронный счетчик – 1533ИЕ5;
- счетчик-делитель на 12 – К155ИЕ4.

2. Основные теоретические сведения

Цифровой счетчик – это последовательностное устройство, состоящее из триггеров, соединенных определенным образом, по состоянию выходов которых можно определить количество входных воздействий (импульсов), поступивших на их входы к моменту наблюдения.

Основными характеристиками счетчика являются *модуль счета M* и *быстродействие*. Модуль счета характеризует число устойчивых состояний счетчика. Когда число поступивших на вход импульсов превысит модуль счета, то произойдет переполнение счетчика: он вернется в исходное состояние, и начнется новый процесс смены его состояний. Быстродействие счетчика, оцениваемое по максимальной частоте следования входных сигналов, при которой работа системы как счетчика не нарушается, зависит от используемой элементной базы и схемы построения. Входным воздействием обычно является импульс, поступающий на специальный так называемый счетный вход.

Счетчики классифицируются обычно по ряду признаков:

- по способу организации внутренних связей счетчики подразделяют на *асинхронные* и *синхронные*;
- по направлению счета счетчики существуют *суммирующие*, *вычитающие*, *реверсивные*.

- по модулю счета: двоичные, двоично-десятичные или с произвольным модулем счета.

В асинхронных счетчиках триггеры переключаются последовательно, а в синхронных – одновременно. К достоинствам асинхронных счетчиков, по сравнению с синхронными, относится их простая схемная реализуемость, а к недостаткам – низкое быстродействие.

В суммирующих счетчиках число, соответствующее формируемому коду, увеличивается на единицу с приходом очередного счетного импульса, в вычитающих – уменьшается. Реверсивные счетчики в зависимости от установленного режима работы могут функционировать и как суммирующие, и как вычитающие.

В двоичных счетчиках модуль счета кратен степени двойки, т. е. принимает значения 2, 4, 8, 16 и т. п.; в десятичных – кратен степени десяти (10, 100, 1000 ...). В счетчиках с произвольным модулем счета этот параметр может иметь любое фиксированное значение, а в счетчиках с управляемым модулем его можно изменять под воздействием внешних сигналов.

На рис. 5.1. изображено условное обозначение на принципиальных схемах и цоколевка четырехразрядного асинхронного двоичного счетчика 1533ИЕ5.

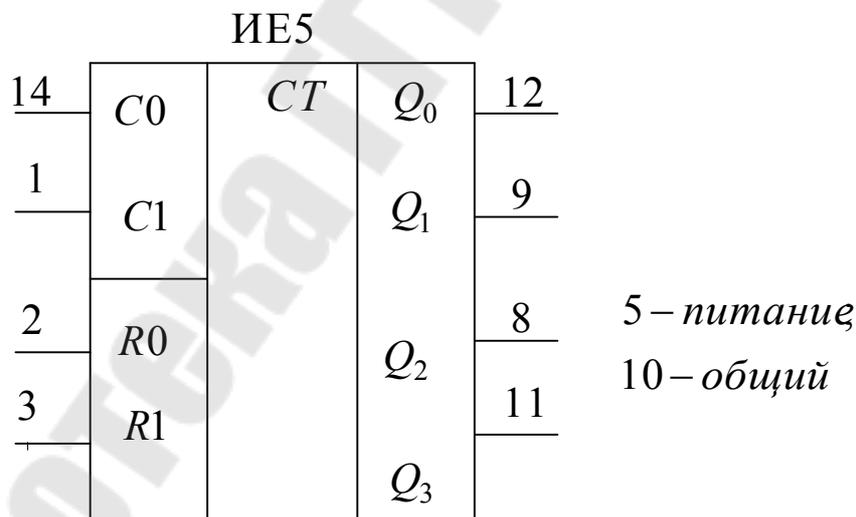


Рис. 5.1. Условное обозначение и цоколевка ИС К1533ИЕ5

На выходах суммирующего двоичного счетчика с модулем $M = 2^m$, формируются m -разрядные кодовые комбинации, порядок смены которых соответствует изменению двоичного кода, описывающего состояния счетчика от 0 до $M - 1$.

Ячейкой, которая под действием внешних сигналов может менять свое состояние и сохранять его, является триггер, поэтому именно триггеры используются в качестве разрядов счетчиков. Наиболее подходящими для этой цели являются счетный, или T -триггер, выходной сигнал которого меняется на противоположный с приходом каждого импульса на вход. Такой триггер может выполнять функции простейшего счетчика с модулем 2.

Если в исходном состоянии на выходе триггера присутствовал нулевой сигнал, то с приходом первого счетного импульса он изменится на единичный, следующий импульс переведет его в исходное, нулевое состояние и т. д. В отсутствии воздействий триггер самопроизвольно не переключается. Так как различимых состояний только два, то модуль счета у такого простейшего счетчика будет равен двум. Он дает возможность однозначно определить первое воздействие, а далее по состоянию выхода триггера можно лишь судить о четном или нечетном их количестве.

Чтобы изучить асинхронные счетчики, рассмотрим счетную последовательность (табл. 5.1). Число состояний в такой последовательности 8, что требует использования трех триггеров ($2^3 = 8$).

Таблица 5.1

Последовательность счета трехразрядного счетчика

Счет	Состояние счетчика		
	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8(0)	0	0	0

Выход Q_0 младшего разряда (триггера) изменяется с каждым счетным импульсом. Это может быть реализовано путем использования триггера T -типа при Q_0 . Состояние на выходе Q_1 меняется всякий раз, когда состояние выхода меняется из 1 в 0. Поэтому если выход

Q_0 соединить с входом синхронизации следующего T -триггера (у которого имеется инверсный динамический вход), то выход Q_1 будет менять состояние всякий раз, когда выход Q_0 осуществляет переход из 1 в 0 (отрицательный перепад синхроимпульса). Таким же образом переход из 1 в 0 с выхода Q_1 изменяет состояние Q_2 , что достигается путем соединения Q_1 с синхровходом следующего триггера. Аналогичным образом может быть построен асинхронный счетчик с большим числом разрядов или модулем счета.

На рис. 5.2 приведена схема асинхронного счетчика, реализованная на триггерах с инверсным динамическим входом (ТВ6), у которых на объединенные входы J и K (для получения T -триггера) подается лог. 1.

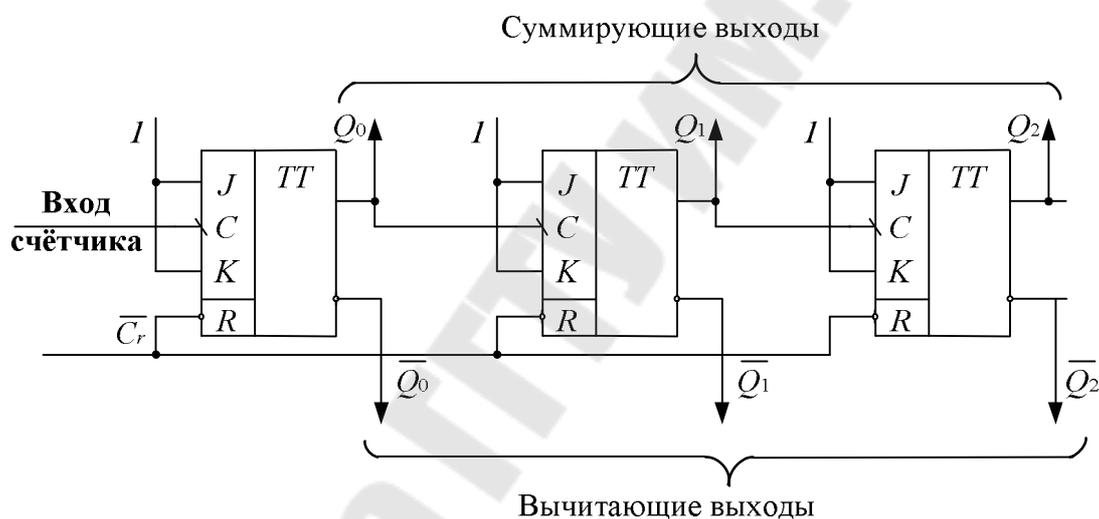


Рис. 5.2. Асинхронный счетчик на триггерах ТВ6 с инверсным динамическим синхровходом

Если же асинхронные счетчики реализовывать на основе триггеров с прямым динамическим входом (например, ТМ2), то суммирующий и вычитающий выходы счетчика поменяются местами. На рис. 5.3 приведена схема подобного счетчика, причем для данного типа триггеров прямые выходы триггеров также соединяются с синхровходами последующих, а инверсные объединяются со входом D (для получения T -триггера). На рис. 5.4 изображены временные диаграммы, поясняющие работу асинхронного счетчика на триггерах ТВ6 с инверсным динамическим синхровходом в режиме вычитания.

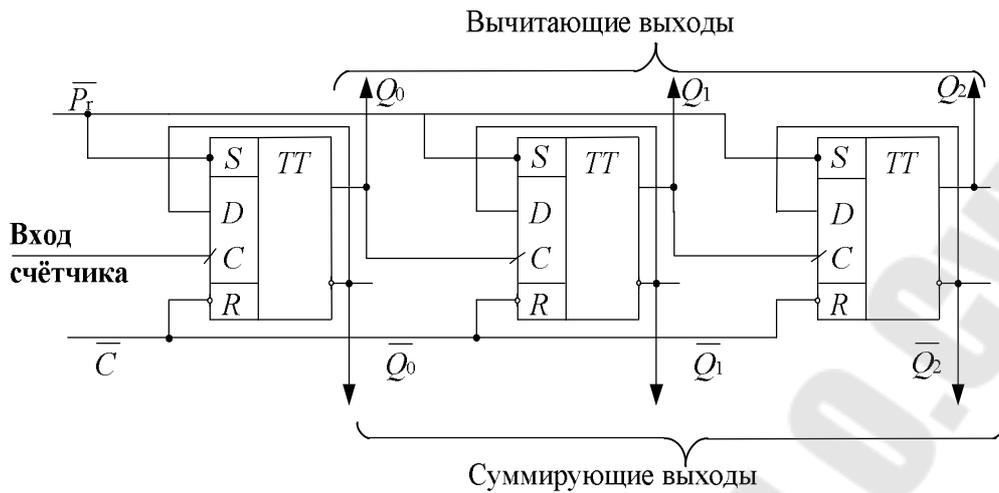


Рис. 5.3. Асинхронный счетчик на триггерах ТМ2

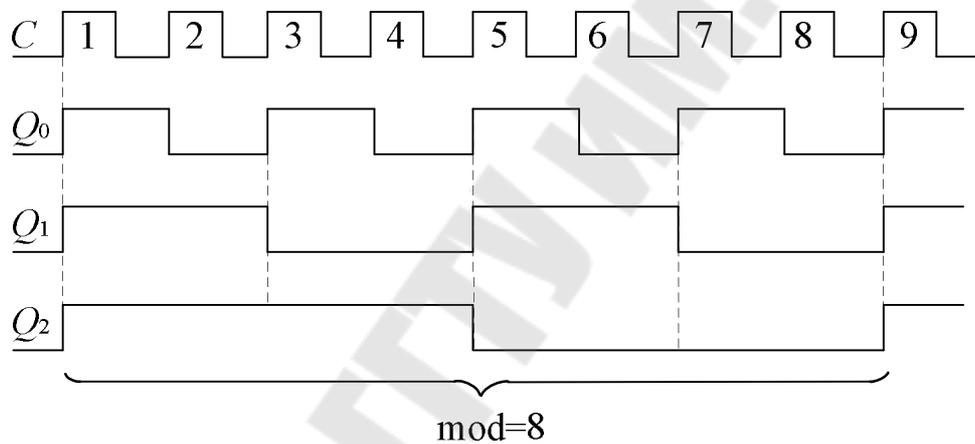


Рис. 5.4. Временные диаграммы работы счетчика на триггерах ТВ6

Чтобы построить реверсивный счетчик, необходимо перекоммутировать связи между его разрядами. Структура такого устройства имеет вид, представленный на рис 5.5.

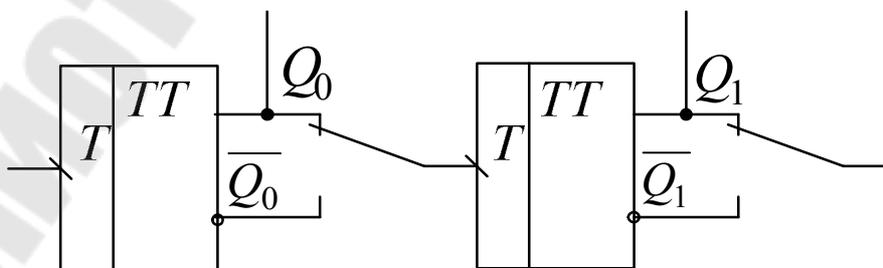


Рис. 5.5. Структура реверсивного счетчика

В верхнем положении переключателей, сигналы снимаются с прямых выходов триггеров и счетчик функционирует как суммирующий, а в нижнем – на входы тактирования поступают инверсные управляющие сигналы и счетчик работает в режиме вычитающего.

Счетчики с произвольным модулем счета

Рассмотренные ранее счетчики имеют модуль счета $\text{mod} = 2^N$ (2, 4, 6, 8, 16...), где N – количество триггеров. Однако при проектировании цифровых устройств часто возникает необходимость использования счетчика с произвольным модулем счета: $\text{mod} \neq 2^N$. Принцип построения таких счетчиков состоит в исключении избыточных состояний либо с помощью обратных связей внутри счетчика, либо методом управляемого сброса его в нуль при достижении определенного состояния [6].

Таким образом, если требуется получить счетчик с произвольным модулем счета mod , то число необходимых при этом триггеров определяется исходя из условия $\text{mod} \leq 2^N$.

Так, при $N = 4$ может быть получен любой модуль счета в пределах от 9 до 16. Например, при построении счетчика с $\text{mod} = 10$ шесть его состояний не используется. При этом, если счет осуществляется в натуральном BCD -коде, то счетчик последовательно проходит состояния 0000 до 1001 (код десятичного числа 9), подобно двоичному счетчику, только после этого следующим состоянием счетчика опять будет 0000 (код десятичного числа 0).

Синтез десятичного асинхронного счетчика или любого другого асинхронного счетчика с $\text{mod} \neq 2^N$, или счетчика, работающего не в прямом двоичном коде, является сложной проблемой, поскольку не существует прямой процедуры синтеза.

Рассмотрим в качестве примера построение и работу двоично-десятичного асинхронного счетчика на триггерах ТВ6 (рис. 5.6).

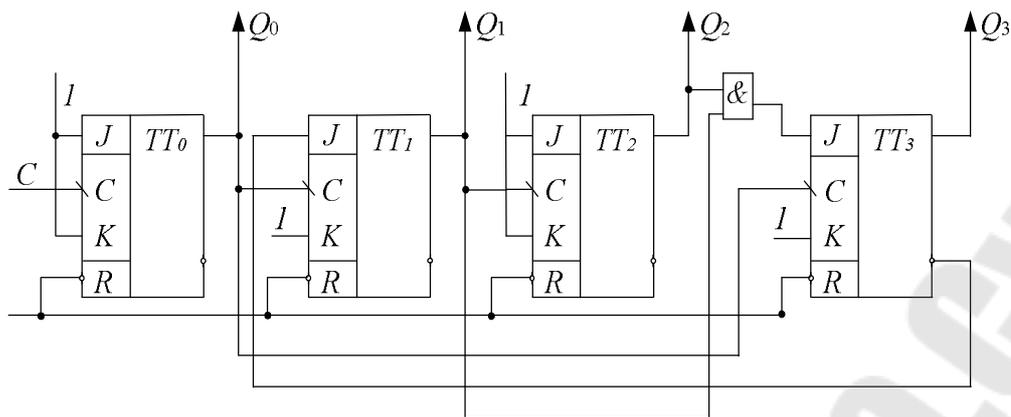


Рис. 5.6. Асинхронный двоично-десятичный счетчик

Триггеры в счетчике переключаются по отрицательному перепаду синхросигнала C . В схеме счетчика выход Q_0 соединен с синхростоками двух триггеров TT_1 и TT_3 , а вход Q_1 соединен с синхростоком TT_2 . Входы J и K соединены либо постоянно с лог. 1, либо с выходами триггеров, как показано на рис. 5.6.

Работа счетчика может быть объяснена, исходя из условий переключения триггеров. Вспомним, что, если синхриимпульс имеет переход из 1 в 0, триггер устанавливается в единичное состояние при $J = 1$ и $K = 0$, обнуляется при $J = 0$ и $K = 1$, меняет свое состояние на противоположное при $J = K = 1$ и не изменяет свое состояние при $J = K = 0$.

Очевидно, что:

- выход Q_0 меняет свое состояние каждым отрицательным перепадом импульсов C ;
- выход Q_1 меняет свое состояние, если $Q_3 = 0$ и Q_0 имеет переход из 1 в 0;
- выход Q_2 меняет свое состояние всякий раз, когда Q_1 имеет переход из 1 в 0;
- выход Q_3 меняет свое состояние, когда $Q_1 Q_2 = 1$ и Q_0 имеет переход из 1 в 0. Выход Q_3 обнуляется, если Q_1 или Q_2 равны 0 и Q_0 имеет переход из 1 в 0.

Временные диаграммы, поясняющие работу двоично-десятичного асинхронного счетчика, приведены на рис. 5.7.

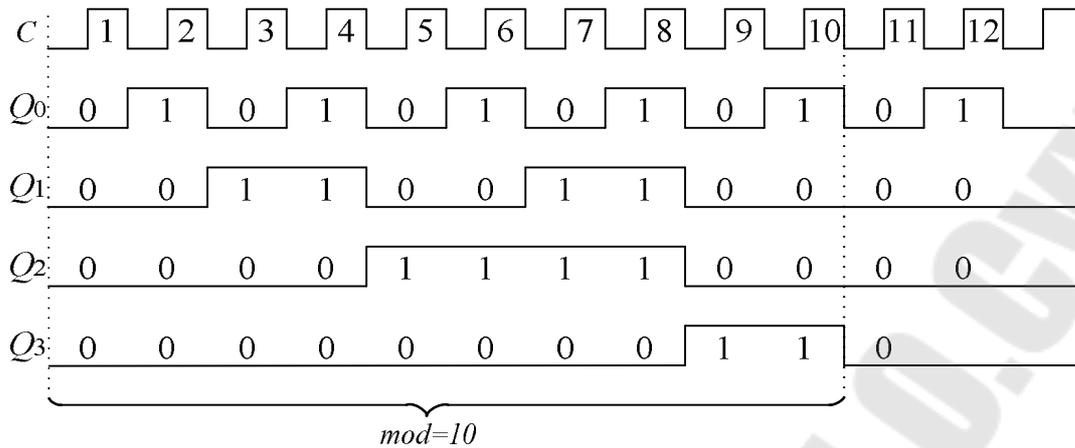


Рис. 5.7. Диаграммы работы асинхронного двоично-десятичного счетчика

Один из способов построения счетчика с управляемым модулем заключается в применении схемы сравнения кодов в цепи сброса. Конфигурация четырехразрядного варианта такого устройства имеет вид, представленный на рис. 5.8. Его модуль счета будет равен значению числа L , двоичный код которого подается на соответствующие входы цифрового компаратора. При появлении данного кода на выходах двоичного счетчика компаратор сформирует единичный сигнал, который переведет счетчик в исходное состояние, далее этот процесс будет периодически повторяться [7].

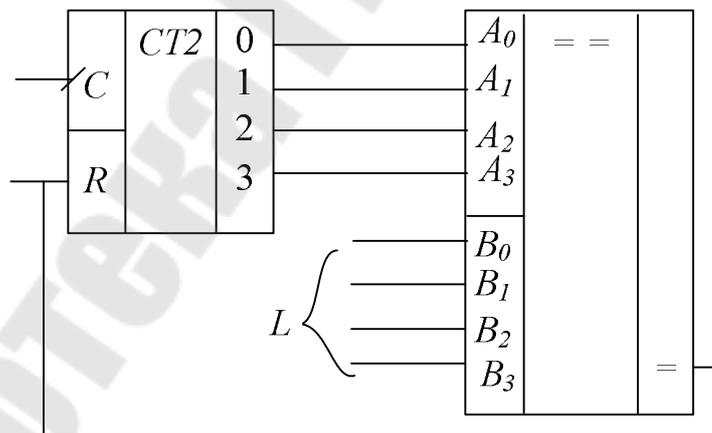


Рис. 5.8. Принцип построения счетчика с переменным модулем счета при помощи компаратора

Еще один из вариантов решения данной задачи основан на использовании дешифратора (рис. 5.9). В ходе работы, к примеру, четырехразрядного счетчика, на его выходах формируются комбинации

двоичного кода, соответствующие числам 0, 1, 2...15. Когда он перейдет в состояние L , единичный сигнал с выхода дешифратора поступит на вход сброса обнулит разряды счетчика и далее этот процесс будет циклически повторяться.

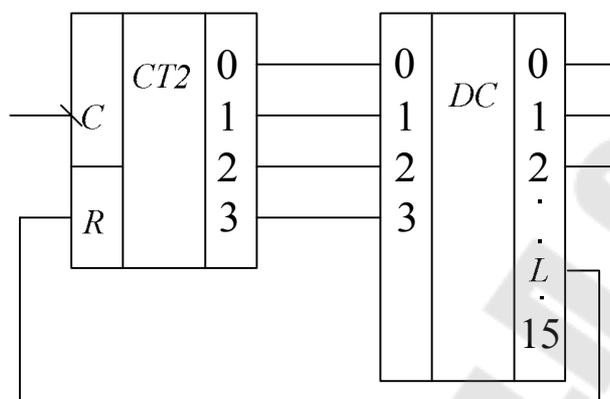


Рис. 5.9. Принцип построения счетчика с переменным модулем счета при помощи дешифратора

Интегральные схемы асинхронных счетчиков

Ранее было рассмотрено построение асинхронных счетчиков с использованием отдельных триггеров. Ряд асинхронных счетчиков выпускается промышленностью в виде интегральных схем средней степени интеграции, которые состоят из четырех *MS*-триггеров. В зависимости от особенностей счетчиков, связанных с загрузкой, установкой и сбросом, их условно делят на три группы. Загрузка, Установка и Сброс (обнуление) осуществляются асинхронно, т. е. независимо от импульсов синхронизации.

К первой группе относится асинхронный счетчик 1533ИЕ2, имеющий входы установки и сброса, условное графическое обозначение которого приведено на рис. 5.10.

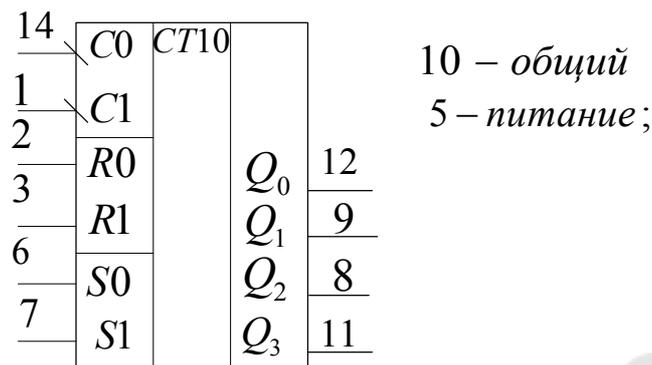


Рис. 5.10. Условное обозначение и цоколевка асинхронного десятичного счетчика К1533ИЕ2

Счетчик состоит из четырех триггеров, образующих два счетных устройства: первый триггер осуществляет счет по $\text{mod} = 2$, а три последующих – по $\text{mod} = 5$. Причем эти части могут использоваться независимо друг от друга или комбинационно. Если выход счетчика с $\text{mod} = 2$ (Q_0) соединить с тактовым входом $C1$ счетчика по $\text{mod} = 5$, то устройство будет функционировать как двоично-десятичный счетчик.

Если же соединить выход счетчика с $\text{mod} = 5$ (Q_3) со входом счетчика $\text{mod} = 2$, то образуется счетчик-делитель на 10. В счетчике имеются два входа: Сброс $R0$ и $R1$, на которые необходимо подать лог.1 для обнуления счетчика. Когда на оба входа установки $S0$ и $S1$ подается лог.1, двоично-десятичный счетчик устанавливается в состояние 1001.

Внутренняя структурная схема счетчика ИЕ2 представлена на рис. 5.11.

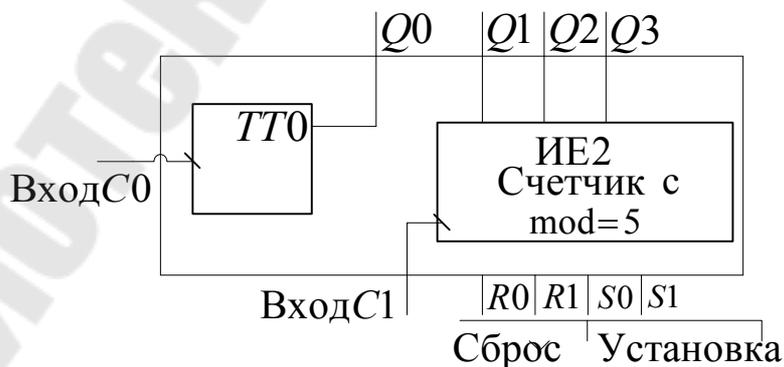


Рис. 5.11. Внутренняя структурная схема счетчика ИЕ2

Ко второй группе асинхронных счетчиков можно условно отнести счетчики, которые не имеют входа установки, у них есть только входы сброса. Внутренняя структурная схема счетчиков К1533ИЕ4 и К1533ИЕ5 приведена на рис. 5.12.

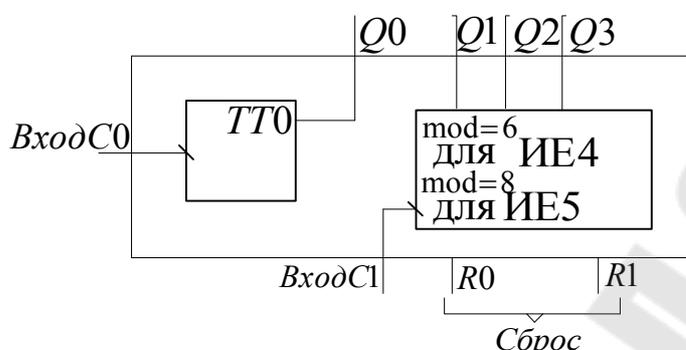


Рис. 5.12. Внутренняя структурная схема счетчиков ИЕ4 и ИЕ5

Работа этого счетчика аналогична ИЕ2, за исключением того, что входы установки отсутствуют и счетчик по $\text{mod} = 6$ осуществляет счет не в натуральном двоичном коде.

К третьей группе асинхронных счетчиков относятся счетчики К555ИЕ14 и К555ИЕ15, являющиеся версиями счетчиков ИЕ2 и ИЕ5, только с предварительной установкой состояния. Внутренняя структурная схема счетчиков представлена на рис. 5.13.

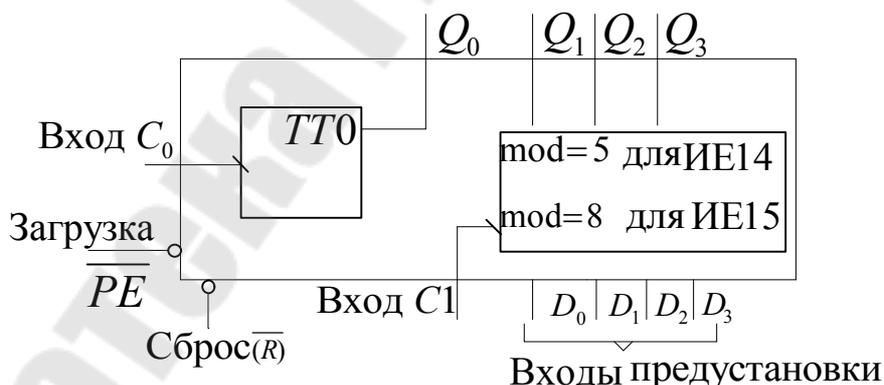


Рис. 5.13. Внутренняя структурная схема счетчиков ИЕ14 и ИЕ15

Данные счетчики обнуляются при подаче лог. 0 на вход \bar{R} . Подача лог. 0 на вход \bar{PE} при $\bar{R} = 1$ останавливает счет, и в счетчик загружается число, установленное на входах предустановки. В режиме счета на оба входа (Сброс и Загрузка) должен быть подан сигнал лог. 1.

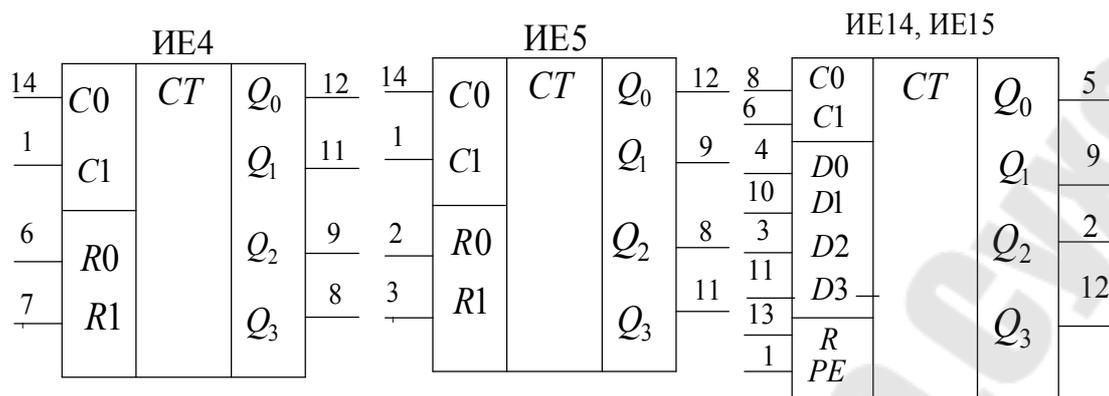


Рис. 5.14. Условные обозначения счетчиков ИЕ4, ИЕ5, ИЕ14 и ИЕ15

Условное обозначение и цоколевка счетчиков ИЕ4, ИЕ5, ИЕ14 и ИЕ15 приведены на рис. 5.14. Для счетчиков ИЕ4, ИЕ5: 5 – питание, 10 – общий; для ИЕ14: 17 – питание, 14 – общий.

3. Порядок выполнения лабораторной работы

3.1. Исследование асинхронного двоичного счетчика на триггерах

3.1.1. Исследование асинхронного двоичного счетчика с инверсным динамическим синхровходом.

На наборной панели *IDL-800* собрать схему асинхронного четырехразрядного реверсивного счетчика с инверсным динамическим синхровходом на триггерах ТВ6, используя в качестве примера схему на рис. 5.2. Подавая импульсы синхронизации (использовать антидребезговую кнопку) на вход *C* и контролируя состояние выходов $Q_3 \div Q_0$ построенного счетчика при помощи светодиодов, составить таблицы работы счетчика в суммирующем и вычитающем режимах. Нарисовать временные диаграммы его работы (так же для двух режимов) и полученную схему для отчета.

3.1.2. Исследование асинхронного двоичного счетчика с прямым динамическим синхровходом.

На наборной панели *IDL-800* собрать схему асинхронного четырехразрядного реверсивного счетчика с прямым динамическим синхровходом на триггерах ТМ2, используя в качестве примера схему на рис. 5.3. Подавая импульсы синхронизации (использовать антидребезговую кнопку) на вход *C* и контролируя состояние выходов $Q_3 \div Q_0$ построенного счетчика при помощи светодиодов, составить

таблицы работы счетчика в суммирующем и вычитающем режимах. Нарисовать временные диаграммы его работы (также для двух режимов) и полученную схему для отчета.

3.2. Исследование асинхронного двоично-десятичного счетчика на триггерах

На наборной панели *IDL-800* собрать схему асинхронного двоично-десятичного счетчика на триггерах ТВ6, используя в качестве примера схему на рис. 5.6. Подавая импульсы синхронизации (использовать антидребезговую кнопку) на вход *C* и контролируя состояние выходов $Q_3 \div Q_0$ построенного счетчика при помощи светодиодов, составить таблицы работы счетчика с модулем счета $\text{mod} = 10$. Нарисовать временные диаграммы его работы (также для двух режимов) и схему для отчета.

3.3. Исследование асинхронного счетчика ИЕ2

На наборной панели *IDL-800* установить ИС счетчика 1533ИЕ2. Подавая импульсы синхронизации (использовать антидребезговую кнопку) и контролируя состояние выходов $Q_3 \div Q_0$, исследовать работу счетчика с модулями $\text{mod} = 5$ и $\text{mod} = 10$. Получить таблицы состояний, нарисовать временные диаграммы его работы (для двух режимов работы).

3.4. Исследование асинхронного счетчика ИЕ5

На наборной панели *IDL-800* установить ИС счетчика 1533ИЕ5. Подавая импульсы синхронизации и контролируя состояние выходов $Q_3 \div Q_0$, исследовать работу счетчика с модулями $\text{mod} = 6$ и $\text{mod} = 12$. Получить таблицы состояний, нарисовать временные диаграммы его работы (для двух режимов работы).

3.5. Исследование асинхронного счетчика ИЕ15

На наборной панели *IDL-800* установить ИС счетчика 555ИЕ15. Подавая импульсы синхронизации и контролируя состояние выходов $Q_3 \div Q_0$, исследовать работу счетчика с заданным преподавателем модулем счета. Схему подключения счетчика зарисовать для отчета. Получить таблицы состояний, нарисовать временные диаграммы его работы.

Построить схему счетчика с заданным преподавателем модулем счета при помощи компаратора и дешифратора. Схему зарисовать для отчета.

4. Содержание отчета

1. Цель работы.
2. Схемы, исследуемые в работе.
3. Таблицы и временные диаграммы работы исследуемых триггеров.
4. Выводы по результатам исследования.

5. Контрольные вопросы

1. Дать определение цифрового счетчика.
2. По каким признакам классифицируются счетчики?
3. Нарисовать схемы суммирующего и вычитающего счетчиков на триггерах с прямым и с инверсным динамическим входом.
4. Чем различаются между собой асинхронные и синхронные счетчики?
5. Каковы основные достоинства и недостатки асинхронных счетчиков?
6. Охарактеризовать основные ИС асинхронных счетчиков.
7. Объяснить использование входов Загрузка, Сброс и Установка.
8. Нарисовать схемы счетчиков с заданным преподавателем модулем счета.

Литература

1. Быстров, Ю. А. Электронные цепи и микросхемотехника : учебник для вузов / Ю. А. Быстров, И. Г. Мироненко. – М. : Высш. шк., 2002. – 384 с.
2. Белоус, А. И. Основы схемотехники микроэлектронных устройств / А. И. Белоус, В. А. Емельянов, А. С. Турцевич. – М. : Техносфера, 2012. – 472 с.
3. Храбров, Е. А. Цифровая электроника : учеб. пособие для вузов / Е. А. Храбров, Ю. Е. Котова. – Гомель : ГГТУ им. П. О. Сухого, 2013. – 271 с.
4. Безуглов, Д. А. Цифровые устройства и микропроцессоры : учеб. пособие для вузов / Д. А. Безуглов, И. В. Калиенко. – Ростов н/Д : Феникс, 2006. – 400 с.
5. Браммер, Ю. А. Импульсные и цифровые устройства: учеб. пособие для вузов / Ю. А. Браммер, И. Н. Пащук. – М. : Высш. шк., 1999. – 351 с.
6. Пухальский, Г. И. Проектирование дискретных устройств на интегральных микросхемах : справ. / Г. И. Пухальский, Т. Я. Новосельцева. – М. : Радио и связь, 1990. – 304 с.
7. Новиков, Ю. В. Введение в цифровую схемотехнику : учеб. пособие / Ю. В. Новиков. – М. : БИНОМ, 2007. – 343 с.

ПРИЛОЖЕНИЕ

Описание лабораторной установки *IDL-800 Digital lab*

Лабораторная установка *IDL-800* (рис. П.1) предназначена для физического макетирования и исследования функционирования цифровых логических устройств, а также может быть использована для исследования аналоговых устройств.

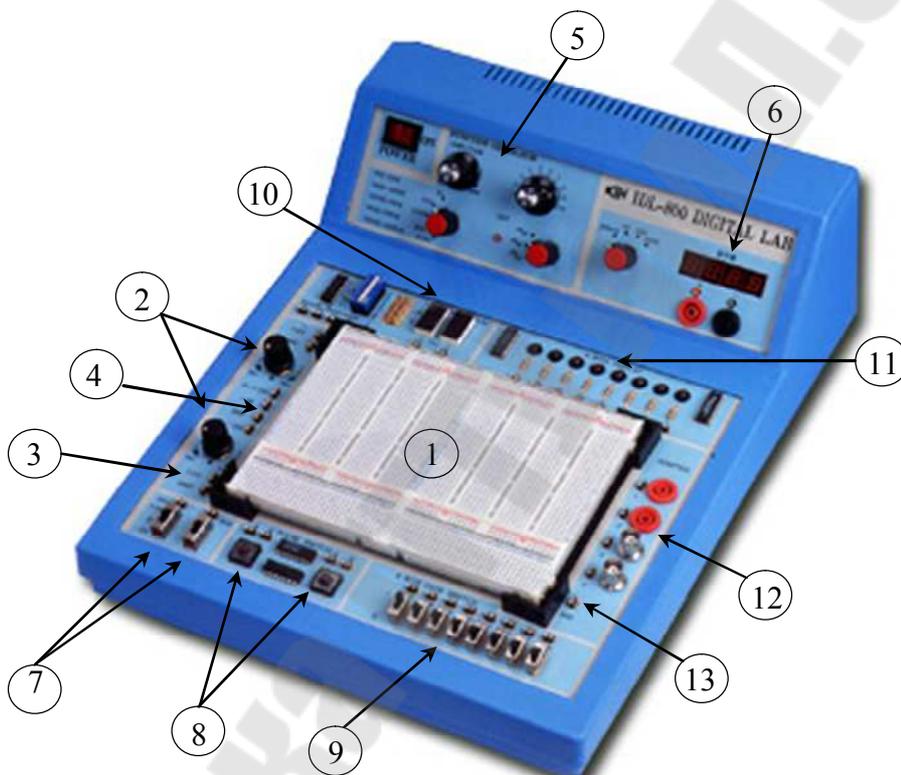


Рис. П.1. Лабораторная установка *IDL-800 Digital Lab*

Лабораторная установка содержит источники постоянного напряжения, функциональный генератор, цифровой вольтметр, восьмиразрядный светодиодный дисплей, два семисегментных индикатора и логические переключатели. В лабораторную установку входит наборная плата *AD-200*, на которой собираются исследуемые устройства. Детализация лабораторной установки показана на рис. П.1:

1 – наборная плата *AD-200* для моделирования исследуемых устройств имеет 1896 контактов. Расстояния между контактами и размер контактов позволяют вставлять в плату *DIP*-компоненты, а

также транзисторы, резисторы, конденсаторы и т. п. Соединения между компонентами осуществляются с помощью проводов диаметром 0,3...0,8 мм;

2 – регулируемые источники электропитания $0 \div +15$ В и $0 \div -15$ В с максимальным выходным током 300 мА;

3 – нерегулируемый источник электропитания +5 В с максимальным выходным током 1 А;

4 – нерегулируемый источник электропитания -5 В с максимальным выходным током 100 мА. Все источники электропитания имеют защиту от короткого замыкания;

5 – функциональный генератор, формирующий синусоидальный, треугольный, или меандровый сигнал в диапазонах частот: $1 \div 10$ Гц, $10 \div 100$ Гц, $100 \text{ Гц} \div 1 \text{ кГц}$, $1 \div 10 \text{ кГц}$, $10 \div 100 \text{ кГц}$ с плавной регулировкой частоты внутри диапазонов. Амплитуда синусоидального сигнала регулируется в пределах от 0 до 4 В. Амплитуда двуполярного треугольного сигнала регулируется в пределах от 0 до 3 В. Амплитуда двуполярного меандрового сигнала регулируется в пределах от 0 до 4 В;

6 – цифровой вольтметр, который имеет 4 диапазона измерений: 0÷199,9 В; 2) 0÷,99 В; 3) 0÷1,999 В; 4) 0÷199,9 мВ. Входное сопротивление: 10 МОм в любом диапазоне.

ВНИМАНИЕ: цифровой вольтметр не имеет защиты от перегрузки;

7 – два функциональных переключателя – 5В/0В /+5В.

8 – две антидребезговые кнопки для генерирования одиночных импульсов с прямым и инверсным выходом;

9 – восемь переключателей логических уровней «0»/ «1» ;

10 – два семисегментных индикатора, включенных по схеме с общим катодом;

11 – дисплей на восьми буферезированных светодиодах;

12 – четырехточечный адаптер для подключения измерительных приборов;

13 – контакты общей шины лабораторной установки.

Содержание

Предисловие	3
<i>Лабораторная работа № 1. Исследование логических элементов.....</i>	<i>4</i>
<i>Лабораторная работа № 2. Исследование арифметических устройств</i>	<i>20</i>
<i>Лабораторная работа № 3. Исследование триггеров на логических элементах и в интегральном исполнении</i>	<i>31</i>
<i>Лабораторная работа № 4. Исследование регистров</i>	<i>52</i>
<i>Лабораторная работа № 5. Исследование асинхронных счетчиков</i>	<i>58</i>
Литература.....	72
Приложение.....	73

Учебное электронное издание комбинированного распространения

Учебное издание

СХЕМОТЕХНИКА ЦИФРОВЫХ УСТРОЙСТВ

**Практикум
по выполнению лабораторных работ
для студентов специальности 1-36 04 02
«Промышленная электроника»
дневной и заочной форм обучения**

Составитель **Котова** Юлия Евгеньевна

Электронный аналог печатного издания

Редактор
Компьютерная верстка

О. С. Ковалева
И. П. Минина

Подписано в печать 28.08.23.
Формат 60x84/16. Бумага офсетная. Гарнитура «Таймс».
Ризография. Усл. печ. л. 4,42. Уч.-изд. л. 4,1.

Изд. № 19.
<http://www.gstu.by>

Издатель и полиграфическое исполнение
Гомельский государственный
технический университет имени П. О. Сухого.
Свидетельство о гос. регистрации в качестве издателя
печатных изданий за № 1/273 от 04.04.2014 г.
пр. Октября, 48, 246746, г. Гомель