

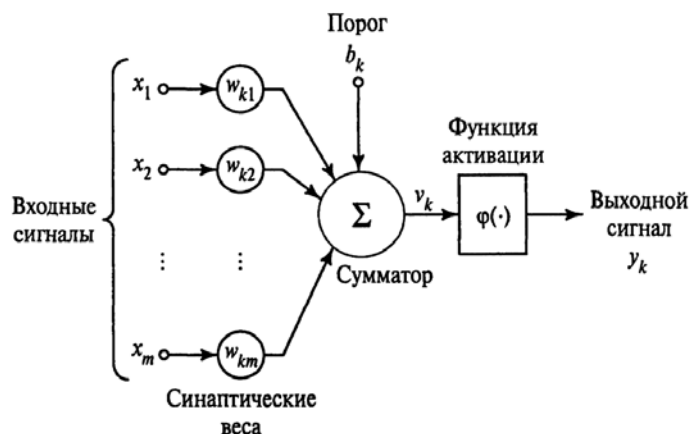
УДК 004.32.26

**АППАРАТНАЯ РЕАЛИЗАЦИЯ ИСКУССТВЕННОЙ  
НЕЙРОННОЙ СЕТИ НА FPGA ДЛЯ РАСПОЗНАВАНИЯ  
НАПИСАННЫХ ОТ РУКИ ЦИФР****Ю. В. Крышнев, В. И. Соболев***Учреждение образования «Гомельский государственный технический  
университет имени П. О. Сухого», Республика Беларусь*

В настоящее время в различных областях науки и техники широко применяются методы интеллектуального анализа данных. Постоянно расширяется круг задач, требующих использования методов искусственного интеллекта в области обработки изображений: распознавание лиц, объектов различной физической природы; обработка информации с внешних датчиков в беспилотных транспортных средствах; анализ аэрокосмических снимков; медицинская диагностика и т. д. Перспективным инструментом для решения задачи распознавания образов является применение интеллектуальных методов на основе искусственных нейронных сетей (ИНС). При создании мобильных систем компьютерного зрения (СКЗ) применяются аппаратно-реализованные нейронные сети.

Благодаря принципу своей организации, программируемые пользователем вентильные матрицы (FPGA) позволяют создавать различные простейшие логические аппаратные модули и связывать их в более сложные системы. Таким образом, FPGA дает возможность на своей основе разработать аппаратную реализацию нейронов и объединить их в сеть [1]. Структура в нужном количестве обеспечивает параллельные вычисления в ИНС, что не всегда возможно в программной реализации из-за псевдо-параллельных вычислений. Также отладочные платы с FPGA имеют хорошо развитую периферию, в том числе различные стандартные интерфейсы соединения с компьютером, чтобы провести отладку ИНС и при необходимости сделать подключаемый к компьютеру модуль. В этой связи для аппаратной реализации ИНС в составе СКЗ все чаще применяют современные FPGA [2].

На рис. 1 изображена структура нейрона. В общем виде нейрон представляет собой сумматоры, которые суммируют входные сигналы, умноженные на весовые коэффициенты. К сумме добавляется порог, а результат проходит через блок функции активации, после чего и формируется выходной сигнал нейрона.

*Рис. 1. Структура нейрона*

Синапсы, входящие в нейрон, имеют весовой коэффициент. Данный параметр показывает, насколько данная связь важна для нейрона, а изменения ее значения способствуют возможности обучения ИНС. Весовые коэффициенты нейронной сети формируют память нейронной сети и являются основным элементом, регулирующим работу сети [3].

Для извлечения ключевых признаков весовые коэффициенты настраиваются с использованием обучающей выборки. С учетом задачи распознавания рукописных цифр хорошо подходит база изображений рукописных цифр MNIST. Она содержит 60000 обучающих и 10000 тестовых пар (изображение – метка). Обучить нейросеть задаче распознавания цифр – значит найти корректные значения для всех этих чисел так, чтобы это решило поставленную задачу. Изображения нормализованы по размеру и отцентрированы. Размер каждой цифры –  $28 \times 28$  пикселей.

Что касается реализации структуры входных (выходных) портов на языке VHDL/Verilog, стоит отметить, что есть два возможных варианта: использовать дополнительные входы реализуемой схемы для весовых коэффициентов, либо применить для этой цели отдельную RAM. Выход схемы в обоих случаях – один.

Описанные 784 нейрона образуют первый слой ИНС. Нейросеть будет получать на вход двоичные регистры и выполнять их классификацию на 10 типов, каждый из которых соответствует одной из десяти цифр. В этих числах активация – это число от нуля до единицы, отражающее, насколько система уверена, что входное изображение содержит соответствующую цифру.

Соединение между другими слоями также содержит веса и сдвиги, связанные с ними. Таким образом, в качестве настраиваемых параметров выступают 13002 весов и сдвигов ( $784 \cdot 16 + 16 \cdot 16 + 16 \cdot 10$  и  $16 + 16 + 10$ ), определяющих поведение нейронной сети. В результате структура нейронной сети выглядит, как на рис. 2.

Нейроны объединяются в слои, которые, в свою очередь, – в сеть. Данная структура реализуема в FPGA, а тот факт, что параллельная организация нейронной сети изначально заложена в ее аппаратной реализации, позволяет существенно увеличить скорость ее работы по сравнению с программными аналогами, так как в зависимости от аппаратных возможностей FPGA возможно добиться полной или практически полной параллелизации работы нейронов [4]. Также к основным достоинствам аппаратной реализации ИНС можно отнести надежность, безопасность и дополнительные режимы эксплуатации.

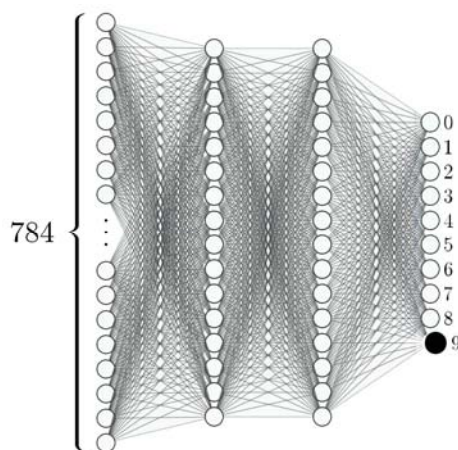


Рис. 2. Структура искусственной нейронной сети

Исходя из полученных результатов, можно считать, что предложенный метод организации вычислений в аппаратной ИНС позволяет эффективно использовать вычислительные ресурсы FPGA. Учитывая масштабируемость унифицированных вычислительных блоков, метод может быть перспективен при организации вычислений в аппаратно-реализованных ИНС более сложной архитектуры.

#### Литература

1. Optimizing fpga-based accelerator design for deep convolutional neural networks / C. Zhang [et al.] // Proceedings of the 2015 ACM/SIGDA International Symposium on Field-Programmable Gate Arrays. – ACM, 2015. – P. 161–170. – DOI: 10.1145/2684746.2689060.
2. Устройство на основе ПЛИС для распознавания рукописных цифр на изображениях / И. В. Зоев [и др.] // Компьютерная оптика. – 2017. – Т. 41, № 6. – С. 938–949. – DOI: 10.18287/2412-6179-2017-41-6-938-949.
3. Muthuramalingam, A. Neural Network Implementation Using FPGA: Issues and Application / A. Muthuramalingam, S. Himavathi, E. Srinivasan // International Journal of Information and Communication Engineering 4:6. – 2008.
4. Нейронные сети. STATISTICA Neural Networks: Методология и технологии современного анализа данных / под ред. В. П. Боровикова. – 2-е изд., перераб. и доп. – М. : Горячая линия – Телеком, 2008. – 392 с. : ил.

УДК 621.38

### МНОГОЭЛЕКТРОДНЫЙ ЕМКОСТНОЙ ДАТЧИК УРОВНЯ

Д. А. Литвинов, А. В. Ковалев, В. А. Хананов

*Учреждение образования «Гомельский государственный технический университет имени П. О. Сухого», Республика Беларусь*

Отличительной особенностью емкостных датчиков технологических величин являются простота и технологичность изготовления, из этого следует их низкая конечная стоимость и высокая надежность. На рис. 1, *a* схематически изображен многоэлектродный емкостной датчик уровня диэлектрической жидкости. Измерительный конденсатор  $C_{и}$  состоит из генераторного электрода *1* и измерительного электрода *3*. Начальная емкость измерительного конденсатора зависит, в первую очередь, от конструкции электродов емкостного датчика, но еще на нее влияют внешние возмущающие факторы, такие, как температура и влажность. На точность измерения уровня также влияет неизвестное значение диэлектрической проницаемости измеряемой жидкости. Для учета влияния этих факторов в емкостном датчике установлены опорные электроды *2* и *4*, которые совместно с генераторным электродом *1* образуют опорные конденсаторы  $C_{оп1}$  и  $C_{оп2}$  соответственно. Все электроды подключаются к измерительному преобразователю с помощью соединительных проводов (на рис. 1 не указаны).

Выразим емкость измерительного электрода, заполненного жидкостью, через емкость опорного конденсатора:

$$C_{и} = C_{оп2} m, \quad (1)$$

где  $m$  – безразмерная величина, учитывающая отношение длин измерительного и опорного электродов.