

СИСТЕМЫ ОБРАБОТКИ ИНФОРМАЦИИ НА ОСНОВЕ ОТЛАДОЧНОЙ ПЛАТЫ SPARTAN-3E STARTERKIT

В. И. Соболев

Учреждение образования «Гомельский государственный технический университет имени П. О. Сухого», Республика Беларусь

Научный руководитель Ю. В. Крышнев

В настоящее время в различных областях науки и техники широко применяются цифровые методы обработки информации. Задачи самые разнообразные и требуют определенного уровня производительности микроэлектронной элементной базы.

Разработка цифровых устройств, обладающих высоким быстродействием и сложностью, невозможна без применения специализированных систем автоматизированного проектирования и систем моделирования. Комплексным требованиям к готовому изделию, таким как низкая стоимость, быстродействие, малое время разработки и модернизации, в настоящее время соответствуют технология проектирования устройств на основе программируемых логических интегральных схем (ПЛИС) [3].

Программируемая логическая интегральная схема – электронный компонент (интегральная микросхема), используемый для создания конфигурируемых цифровых электронных схем. Логика работы ПЛИС не определяется при изготовлении, а задается посредством программирования (проектирования), в отличие от обычных цифровых микросхем.

Отладочная плата Spartan-3E StarterKit содержит следующие компоненты (рис. 1): ПЛИС XC3S500ESpartan-3EFGPA; ПЛИС XC2C64ACoolRunnerCPLD; память PlatformFlashPROM объемом 4 Мбит; память DDRSDRAM объемом 64 Мбайт; память NORFlash объемом 64 Мбайт; память SPIserialFlash объемом 16 Мбит; память EEPROM; двухстрочный жидкокристаллический индикатор; порт PS/2; порт VGA; интерфейс Ethernet; два порта RS-232; порт USB; кварцевый резонатор частотой 50 МГц; дополнительный разъем FX2 фирмы Hirose; три дополнительных шестипиновых разъема фирмы Digilent; четырехканальный ЦАП; двухканальный АЦП с программируемым предусилителем; вращающаяся нажимающаяся кнопка; восемь светодиодов; четыре кнопки; четыре переключателя; разъем для подключения внешнего генератора; восьмипиновый сокет для дополнительного генератора [6].

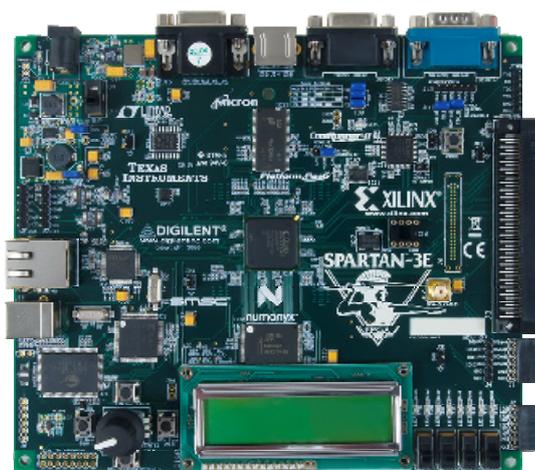


Рис. 1. Внешний вид отладочной платы Xilinx Spartan.3- E StarterKit (вид сверху)

Основу архитектуры кристаллов Spartan-3E XC3S500E составляет регулярная матрица конфигурируемых логических блоков, окруженных программируемыми блоками ввода/вывода (рис. 2). Кроме того, в нее входят блоки аппаратных умножителей, цифровые блоки управления синхронизацией и блоки выделенной памяти. Коммутация всех перечисленных выше архитектурных элементов осуществляется с помощью программируемых трассировочных ресурсов, которые имеют иерархическую структуру [2].

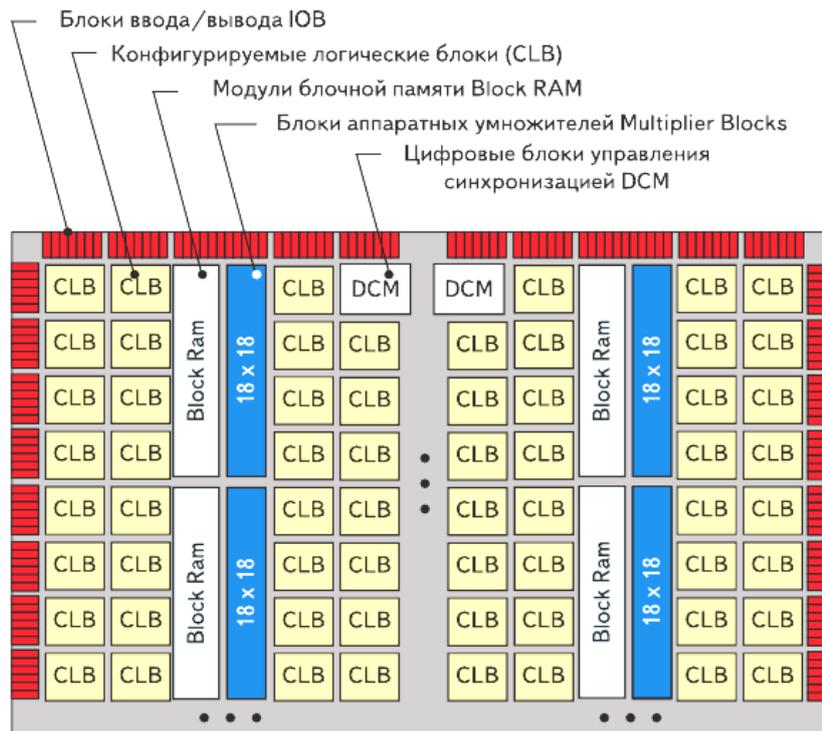


Рис. 2. Структурное представление обобщенной архитектуры ПЛИС семейства Spartan-3E

Увеличение количества логических ячеек, появление встроенной памяти и встроенных умножителей, уменьшение удельной стоимости логических ячеек и снижение энергопотребления предоставляют большие возможности для использования ПЛИС в области цифровой обработки.

Системы цифровой обработки сигналов непосредственно оперируют с последовательностями цифровых кодов, которые называют цифровыми сигналами. Цифровой сигнал в радиоэлектронных системах образовывается в результате аналого-цифрового преобразования.

Узел АЦП включает в себя входной разъем J7, двухканальный предварительный усилитель и собственно двухканальный АЦП. Предварительный усилитель и АЦП последовательно программируются и контролируются ПЛИС. Структурная схема этого узла и его сопряжения с основной ПЛИС инструментального модуля Xilinx Spartan-3E Starter Board показана на рис. 3 [6].

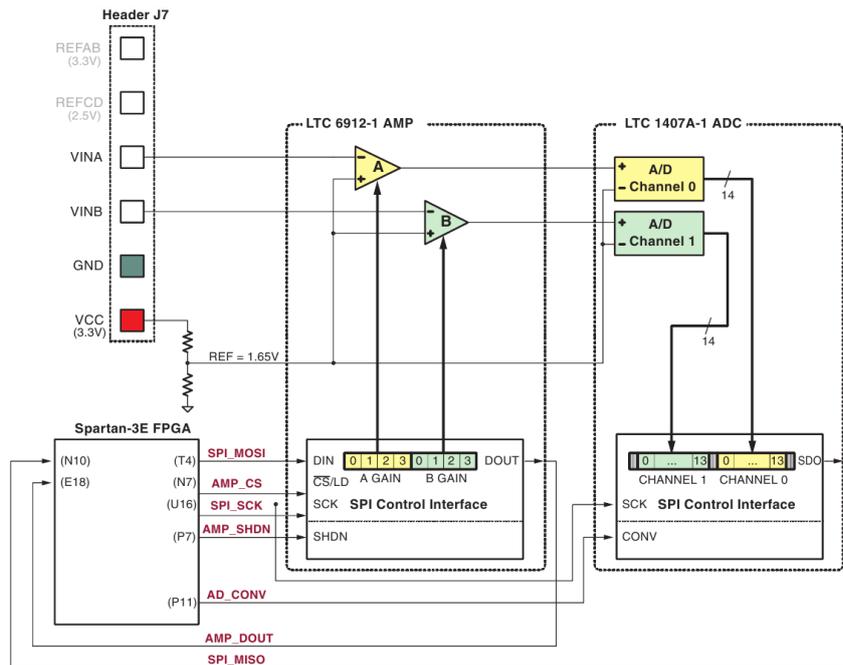


Рис. 3. Структурная схема узла АЦП и его сопряжения с основной ПЛИС XC3S500E инструментального модуля Xilinx Spartan-3E Starter Board

Аналоговые сигналы подаются на контакты VINA и VINB входного разъема, с которого поступают на входы соответствующих каналов предварительного усилителя, выполненного на основе ИС LTC6912-1 фирмы Linear Technology. Данный усилитель выполняет функцию масштабирования входных сигналов. Регулировка коэффициента усиления осуществляется с помощью интерфейса SPI.

АЦП реализован на базе ИС LTC1407A-1. Каждый АЦП данной микросхемы выполняет преобразование аналоговых сигналов в 14-разрядный двоичный код. Результат преобразования транслируется в ПЛИС XC3S500E через последовательный интерфейс SPI.

ПЛИС обеспечивает однократное исполнение всех операций при цифровой фильтрации, используя параллельный расчет. Этому способствует наличие большого числа блоков, выполняющих умножение с накоплением. Специальный вентиль, располагающийся в каждой таблице преобразования, существенно повышает производительность ПЛИС. Алгоритмы САПР автоматически используют эти ресурсы при реализации блоков умножения. Для эффективного использования этого преимущества ПЛИС следует ориентироваться на алгоритмы и методы, подразумевающие распараллеливание операций – фильтры высоких порядков, быстрое преобразование Фурье, вейвлет-анализ и др.

В системах с аналоговым выходом цифровая форма выходного сигнала преобразуется в аналоговую с помощью цифро-аналогового преобразователя (ЦАП).

В состав узла ЦАП входит ИС LTC2624 и выходной разъем J5. Микросхема LTC2624 содержит четыре ЦАП с 12-разрядным разрешением. Коммутация цифровых сигналов, формируемых в ПЛИС, на входы ЦАП осуществляется с помощью интерфейса SPI. Сформированные аналоговые сигналы, уровень которых соответствует значениям входного 12-разрядного двоичного кода без знака, поступают на контакты А-D выходного разъема. Рис. 4 демонстрирует структурную схему узла ЦАП и его сопря-

жение с основной ПЛИС (XC3S500E) инструментального модуля Xilinx Spartan-3E Starter Board [6].

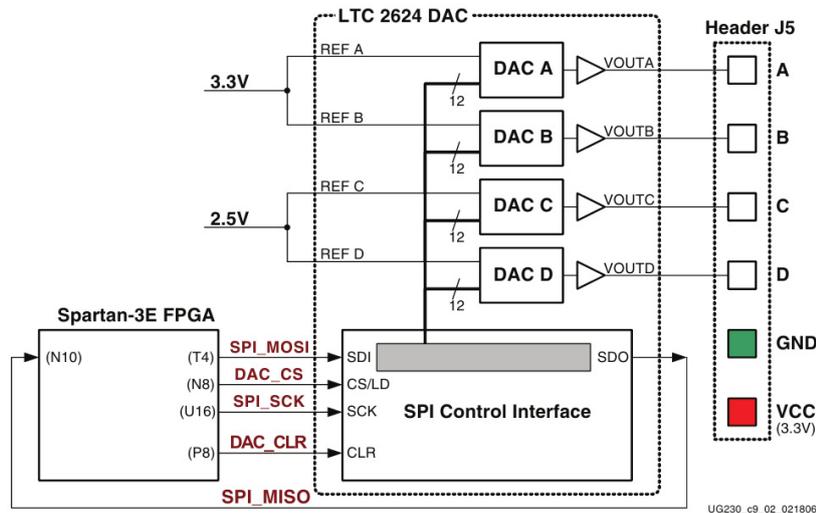


Рис. 4. Структурная схема узла ЦАП и его сопряжения с основной ПЛИС XC3S500E инструментального модуля Xilinx Spartan-3E Starter Board

Программным обеспечением для проектирования систем на базе ПЛИС является пакет средств разработки ISE Design Suite, представляющий собой систему, реализующую все этапы создания цифрового устройства на базе ПЛИС, включая разработку проекта, синтез, моделирование, трассировку и загрузку в кристалл.

Для программирования используются программатор и отладочная среда, позволяющие задать желаемую структуру цифрового устройства в виде принципиальной электрической схемы или программы на специальных языках описания аппаратуры: Verilog, VHDL, AHDL и др.

Основными преимуществами разработки систем обработки информации на основе отладочной платы Spartan-3E StarterKit являются возможность значительного повышения быстродействия за счет аппаратной реализации или распараллеливания ресурсоемких операций; реализация на том же кристалле дополнительных быстродействующих устройств, отличительной чертой которых является аппаратное ускорение вычислений в алгоритмах высокопроизводительной обработки информации; возможность подключения большого числа периферийных устройств (в ПЛИС XC3S500E имеется 232 доступных пользовательских контактов ввода/вывода).

С появлением ПЛИС проектирование цифровых микросхем перестало быть уделом исключительно крупных предприятий с объемами выпуска в десятки и сотни тысяч кристаллов. Проектирование и выпуск небольшой партии уникальных цифровых устройств стали возможны в условиях учебных лабораторий, исследовательских и проектно-конструкторских подразделений промышленных предприятий.

Литература

1. Айфичер, Э. Цифровая обработка сигналов: практический подход / Э. Айфичер, Б. Джервис. – 2-е изд. – М. : Издат. дом «Вильямс», 2004. – 992 с.
2. Зотов, В. Ю. Проектирование цифровых устройств на основе ПЛИС фирмы Xilinx в САПР WebPack ISE / В. Ю. Зотов. – М. : Горячая линия – Телеком, 2003. – 624 с.

Секция IV. Радиоэлектроника, автоматика, телекоммуникации, связь 349

3. Попов, А. Ю. Проектирование цифровых устройств с использованием ПЛИС / А. Ю. Попов. – М. : МГТУ им. Н. Э. Баумана, 2009. – 80 с.
4. Spartan-3E FPGA Family: Complete Data Sheet.
5. Spartan-3E FPGA Starter Kit: Board User Guide.