

ОБЗОР ТЕХНОЛОГИЙ ИЗГОТОВЛЕНИЯ FLASH-ПАМЯТИ

М. Н. Самовендюк

Учреждение образования «Гомельский государственный технический университет имени П. О. Сухого», Республика Беларусь

Научный руководитель В. П. Кудин

В настоящее время в качестве энергонезависимой памяти в большинстве цифровых устройств применяется flash-память. Благодаря высокой степени интеграции компонентов на кристалле, обеспечивающей большой объем для хранения данных, низкой стоимости, механической прочности и высокой скорости работы, а также низкому энергопотреблению, flash-память широко используется в цифровых портативных устройствах, таких как как мобильные телефоны, карманные компьютеры, цифровые камеры, и носителях информации.

Структура ячейки flash-памяти содержит полевой МОП-транзистор с двумя изолированными затворами: управляющим и плавающим (рис. 1).

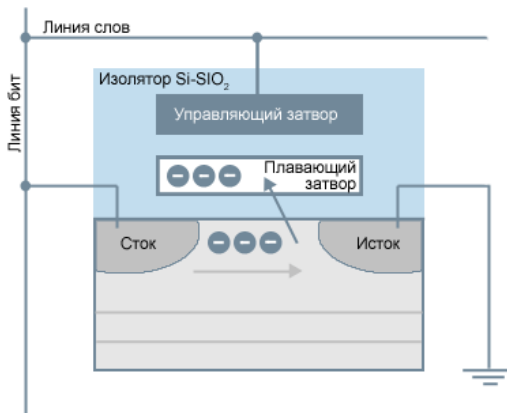


Рис. 1. Ячейка flash-памяти на основе МОП-транзистора

Особенность такого транзистора в том, что он умеет удерживать электроны (заряд). Плавающий затвор полностью окружен изолятором и представляет собой своеобразную «ловушку» для электронов, помещенных на него, и обеспечивает длительное хранение заряда. Определенный диапазон количества электронов (заряда) на плавающем затворе соответствует логической единице, а все, что больше его, – нулю. Транзистор работает в двух режимах: программирование (установка порогового значения количества электронов) и стирания. В режиме программирования на управляющий затвор подается положительное напряжение. Между стоком и истоком вследствие воздействия положительного поля создается канал – поток электронов. Некоторые из электронов, благодаря наличию большей энергии, преодолевают слой изолятора и попадают на плавающий затвор. В режиме стирания на управляющий затвор подается высокое отрицательное напряжение, и электроны с плавающего затвора переходят (эффект туннелирования) на исток.

На основе такого транзистора были разработаны два основных типа flash-памяти: NOR и NAND (рис. 2). Разница между NOR и NAND состоит в компоновке элементов внутри микросхемы. Структура NOR состоит из параллельно включенных элементарных ячеек хранения информации. Такая организация ячеек обеспечивает возможность произвольного доступа к данным и побайтной записи информации. В основе структуры NAND лежит принцип последовательного соединения элементарных ячеек, образующих группы (в одной группе 16 ячеек), которые объединяются в страницы, а страницы – в блоки. При таком построении массива памяти обращение к отдельным ячейкам невозможно. Программирование выполняется одновременно только в пределах одной страницы, а при стирании обращение производится к блокам или к группам блоков. Стандартной процедурой записи данных является постраничная запись. Таким образом, NOR использует классическую матрицу строк и столбцов, в пересечении которых находятся ячейки, NAND – трехмерный массив.

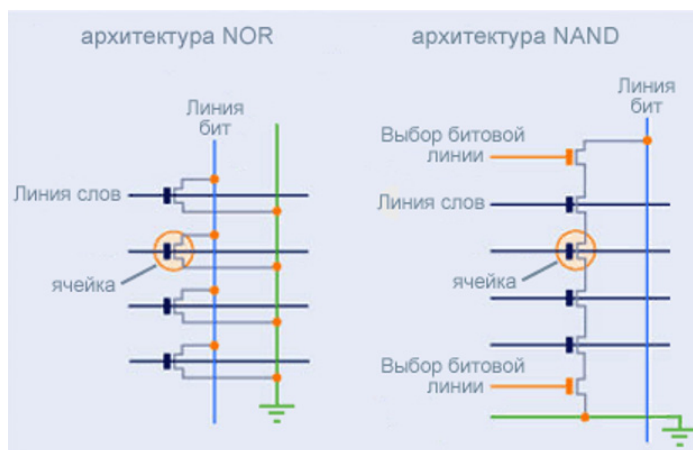


Рис. 2. Организация flash-памяти

Технология NAND позволяет значительно увеличить площадь компоновки элементов, уменьшая размеры кристалла и стоимость за бит информации, однако это приводит к дополнительным затратам на организацию доступа к ячейкам памяти. Соответственно уменьшается и скорость доступа. Так на данный момент скорость чтения для микросхем NOR составляет десятки наносекунд, а для NAND – десятки микросекунд.

На основе NOR и NAND технологий разработаны гибридные версии, такие как DINOR и SuperAND. Архитектура DINOR (разделенная битовая строка NOR), предложенная компанией Mitsubishi, использует подбитовые линии из поликремния, что снижает рассеиваемую мощность и увеличивает скорость передачи данных. Архитектура SuperAND от компании Hitachi сочетает программируемые одноэлементные flash-ячейки с управлением памятью, устраняя необходимость во внешнем коде исправления ошибок и других алгоритмах управления памятью.

Во всех типах flash-памяти производители используют два типа ячеек памяти MLC и SLC. Микросхемы, в которых одна ячейка хранит один бит информации, стали называть SLC (Single-Level Cell), а их альтернативу, в которой каждая ячейка сохраняет несколько бит информации, Multi-Level Cell или MLC. Технология MLC основана на том, что flash-ячейка является аналоговым запоминающим устройством, а не цифровым. Она хранит заряд, а не биты. Поэтому, используя контролируемый метод программирования, на плавающий затвор можно поместить точное количество заряда. Если устанавливать заряд в одно из четырех состояний, то можно запрограммировать два бита данных на одной ячейке. Каждое из четырех состояний соответствует одному из двухбитных наборов: 11, 10, 01, 00. Различают разновидности многоуровневой ячейки, которые могут контролировать 8 уровней заряда (3 бита информации) – TLC (Triple-Level Cell) или 3bit MLC (MLC-3) или 16 уровней на ячейку (4 бита) – 16LC или QLC (Quad-Level Cell). Например, компания Samsung Electronics в августе 2018 г. начала массовое производство SSD накопителей на основе памяти QLC V-NAND.

В последнее десятилетие flash-память – на основе плоских однослойных структур с ячейками с плавающим затвором. Но после освоения процесса производства с топологическим размером ниже 20 нм возникла необходимость в новых технологических решениях. При таком техпроцессе ячейки flash-памяти настолько малы, что заряд, обеспечивающий хранение информации, начинает перетекать из одной ячейки в другую, что, естественно, приводит к снижению надежности NAND-памяти.

Технология 3D NAND предусматривает компоновку кристаллов flash-памяти по вертикали: это позволяет получить трехмерную структуру микрочипа и в разы повысить количество хранимой информации на единицу площади. При этом надежность хранения данных по сравнению с обычными изделиями возрастает в 2–10 раз.

Трехмерная ячейка 3D NAND представляет собой цилиндр, внешний слой которого является управляющим затвором, а внутренний – изолятором. Между внешним и внутренними слоями находится слой, хранящий биты информации. Ячейки располагаются друг над другом и формируют стек. Количество ячеек в стеке эквивалентно количеству слоев flash-памяти (рис. 3).

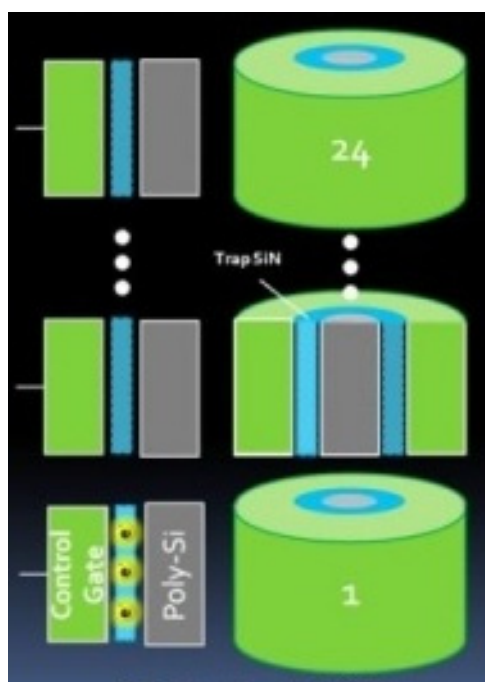


Рис. 3. Структура ячейки памяти 3D NAND

Использование трехмерной структуры позволило существенно увеличить емкость кристалла. Появилась возможность вернуться к старым отточенным техпроцессам, снизив взаимовлияние соседних ячеек друг на друга и риск перетекания заряда из одной ячейки в другую. Кроме этого 3D NAND память обладает более высокой скоростью работы благодаря упрощению алгоритма записи в ячейку. В случае с планарной памятью из-за возможных помех между соседними ячейками требовался дополнительный анализ перед записью.

Первой такую память сделала компания Samsung, назвав ее V-NAND (V от *vertical* – вертикальная). Первое поколение имело 24 слоя, второе – 32, третье – 48, а в последнем, четвертом, поколении используются уже 64 слоев.

В середине 2018 г. компания Samsung выпустила пресс-релиз, в котором сообщила о запуске в массовое производство 256-Гбит чипов 3D NAND TLC (в терминологии Samsung – V-NAND) пятого поколения, в котором используется 96 слоев.

Несмотря на доминирование многоуровневой памяти на рынке, SLC-изделия, хоть и имеют многократно меньшую емкость, продолжают разрабатываться и выпускаться для особо ответственных применений.

Литература

1. Yuan Xie. Emerging Memory Technologies: design, architecture, and applications. // Springer New York, 2014.
2. Rino Micheloni. 3D Flash Memories. // Springer New York, 2016.
3. Paolo Pavan. Flash Memory Cells – An Overview / Paolo Pavan, Roberto Bez, Piero Olivo, Enrico Zanoni. – Режим доступа: <https://pdfs.semanticscholar.org/49f3/9786b87d4dbf088ae202f2bdad46668387e3.pdf>. – Дата доступа: 25.03.2019.