

Учреждение образования
«БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ»

УДК 681.325.36

МУРАШКО
Игорь Александрович

МЕТОДЫ МИНИМИЗАЦИИ ПОТРЕБЛЕНИЯ ЭНЕРГИИ
ПРИ САМОТЕСТИРОВАНИИ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ

АВТОРЕФЕРАТ
диссертации на соискание ученой степени
доктора технических наук

по специальности 05.13.15 – Вычислительные машины и системы

Минск 2008

Работа выполнена в учреждении образования «Белорусский государственный университет информатики и радиоэлектроники»

Научный консультант Ярмолик Вячеслав Николаевич, д-р техн. наук, профессор, профессор кафедры программного обеспечения информационных технологий учреждения образования «Белорусский государственный университет информатики и радиоэлектроники»

Официальные оппоненты: Прихожий Анатолий Алексеевич, д-р техн. наук, профессор, заведующий кафедрой программного обеспечения сетей телекоммуникаций учреждения образования «Высший государственный колледж связи»

Семашко Александр Николаевич, д-р техн. наук, профессор, главный научный сотрудник государственного учреждения «Научно-исследовательский институт Вооруженных Сил Республики Беларусь»

Лобатый Александр Александрович, д-р техн. наук, профессор, заведующий кафедрой информационных систем и технологий Белорусского национального технического университета

Оппонирующая организация Государственное научное учреждение «Объединенный институт проблем информатики Национальной академии наук Беларуси»

Защита состоится 19 июня 2008 г. в 14.00 на заседании совета по защите диссертаций Д 02.15.04 при учреждении образования «Белорусский государственный университет информатики и радиоэлектроники» по адресу: 220013, г. Минск, ул. П. Бровки, 6, корп. 1, ауд. 232, e-mail: dissovet@bsuir.by, тел. 293-89-89.

С диссертацией можно ознакомиться в библиотеке учреждения образования «Белорусский государственный университет информатики и радиоэлектроники»

Автореферат разослан «16» мая 2008 г.

Ученый секретарь
совета по защите диссертаций,
канд. техн. наук, доцент

Иванюк А. А.

КРАТКОЕ ВВЕДЕНИЕ

Вычислительные системы используются во всех сферах человеческой деятельности и способны решать постоянно усложняющиеся задачи. Возрастающие сложности и важности решаемых задач предъявляет все более жесткие требования к таким показателям, как надежность, производительность, потребляемая мощность, стоимость, габариты и масса.

Современные вычислительные системы реализуются на основе интегральных схем ультравысокой степени интеграции, содержащих сотни миллионов транзисторов (820 млн в четырехъядерном процессоре «Penryn»). Новые возможности вызвали значительные изменения и в процессе проектирования вычислительных систем. В первую очередь следует отметить принципиально новую методологию проектирования, которая основана на многократном использовании ядер интеллектуальной собственности. С другой стороны, размещение на одном кристалле разнородных компонентов, которые зачастую разработаны различными компаниями, привело к значительному увеличению затрат на тестирование. По оценкам специалистов более половины стоимости разработки вычислительной системы составляют затраты на ее тестирование. Использование встроенного самотестирования (ВСТ) позволяет значительно снизить стоимость и повысить качество тестирования. Во-первых, для проведения тестирования не требуется дорогостоящее стендовое оборудование. Во-вторых, проверка проводится на рабочих частотах, что позволяет обнаруживать как статические, так и динамические неисправности. Однако при самотестировании потребление энергии увеличивается в два–три раза. Это объясняется следующими причинами. Во-первых, дополнительные средства самотестирования не используются в рабочем режиме (соответственно не потребляют энергию) и очень активно используются в тестовом режиме. Во-вторых, для уменьшения времени тестирования используют параллельное тестирование, что приводит к значительному увеличению рассеиваемой мощности. В-третьих, для уменьшения времени тестирования стремятся уменьшить число тестовых наборов, в результате чего используют тестовые наборы с высокой переключательной активностью. Это вызывает значительное повышение температуры кристалла, что может привести к его повреждению. Кроме того, для мобильных устройств сокращаются сроки непрерывной работы от автономных источников питания.

Таким образом, разработка методов минимизации потребления энергии при самотестировании вычислительных систем является актуальной научно-технической проблемой, которая требует доказательства ряда теоретических положений и имеет большое значение при проектировании мобильных и высокопроизводительных стационарных вычислительных систем.

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Связь работы с крупными научными программами, темами

Работа проводилась в соответствии со следующими республиканскими и международными научно-исследовательскими программами и проектами:

1. Разработать методы и средства автоматизированного диагностирования БИС, СБИС и устройств на их основе, в том числе СБИС, реализующих методы граничного сканирования пути, а также модулей персональных ЭВМ: отчет о НИР / Белорус. гос. ун-т информатики и радиоэлектроники; рук. В.Н. Ярмолик. – Минск, 1994. – 33 с. – № ГР 19942790.

2. Исследование проблем проектирования тестопригодных и самотестируемых структур: отчет о НИР / Белорус. гос. ун-т информатики и радиоэлектроники; рук. В.Н. Ярмолик. – Минск, 1995. – 53с. – № ГР 19942791.

3. Разработать теорию, методы и программные средства для синтеза самотестирующихся регулярных вычислительных структур: отчет о НИР / Белорус. гос. ун-т информатики и радиоэлектроники; рук. В.Н. Ярмолик. – Минск, 1995.– 55 с. – № ГР 1996459.

4. Разработать теоретические основы проектирования средств вычислительной техники с высокими показателями надежности и низким энергопотреблением: отчет о НИР / Белорус. гос. ун-т информатики и радиоэлектроники; рук. В.Н. Ярмолик. – Минск, 2001.– 90 с. –№ ГР 20012469.

5. Разработка теоретических основ, методов и алгоритмов синтеза запоминающих устройств с встроенными средствами тестирования, диагностики и реконфигурации: отчет о НИР / Белорус. гос. ун-т информатики и радиоэлектроники; рук. В.Н. Ярмолик. – Минск, 2002. – 43 с. – № ГР 20012789.

6. Разработать теоретические основы, методы и алгоритмы тестирования и диагностики систем на кристалле: отчет о НИР / Белорус. гос. ун-т информатики и радиоэлектроники; рук. В.Н. Ярмолик. – Минск, 2002.– 63 с. – № ГР 20002330.

7. Разработать теорию и методы синтеза источников тестовых воздействий с пониженным энергопотреблением для встроенного самотестирования цифровых устройств: отчет о НИР / Белорус. гос. ун-т информатики и радиоэлектроники; рук. В.Н. Ярмолик.–Минск, 2003.–32 с. –№ ГР 2002513.

8. Разработать фундаментальные основы проектирования отказоустойчивых наноэлектронных систем обработки информации (МПФИ «Наноэлектроника-XXI») : отчет о НИР / Белорус. гос. ун-т информатики и радиоэлектроники; рук. В.Н. Ярмолик. – Минск, 2005. – 84 с. – № ГР 20012478.

9. Разработать теорию, методы и программно-аппаратные средства для тестирования и обеспечения надежности высокопроизводительных систем

цифровой обработки сигналов с перестраиваемой архитектурой: отчет о НИР / Белорус. гос. ун-т информатики и радиоэлектроники; рук. В.Н. Ярмолик. – Минск, 2004. – 66 с. – № ГР 2002969.

10. Разработать методы, алгоритмы и программные модули для исследования характеристик, оценки технического состояния и диагностирования сложных систем: отчет о НИР / Белорус. гос. ун-т информатики и радиоэлектроники; рук. В.Н. Ярмолик. – Минск, 2005. – 204 с. – № ГР 2004305.

11. DSP-based control systems for safety-related applications (Управляющие системы ЦОС для критических приложений) – совместный проект ун-та города Вупперталь (Германия) и Белорус. гос. ун-та информатики и радиоэлектроники (ВМБФ BLR 02/006); рук. prof., dr. Anton Kummert.

12. Разработать теоретические основы построения систем защиты цифровой интеллектуальной собственности в современных условиях развития информационных технологий (ГПОФИ «Научные основы новых информационных технологий»): отчет о НИР / Белорус. гос. ун-т информатики и радиоэлектроники; рук. В.Н. Ярмолик. – Минск, 2006. – 127 с. – № ГР 2002563.

13. Разработка методов, алгоритмов и программных средств для проектирования отказоустойчивых микросистем с перестраиваемой архитектурой на базе перепрограммируемой логики (ГППИ «Создание новых оптико-электронных систем и информационных технологий»): отчет о НИР / Белорус. гос. ун-т информатики и радиоэлектроники; рук. В.Н. Ярмолик. – Минск, 2006. – 128 с. – № ГР 20042536.

14. Разработать теорию, методы и алгоритмы проектирования встроенных средств самотестирования ОЗУ с низким энергопотреблением (ГКПФИ «Инфотех») / Белорус. гос. ун-т информатики и радиоэлектроники; рук. В.Н. Ярмолик. – № ГР 20064619.

15. Разработать теорию, методы и алгоритмы защиты цифрового контента вычислительных устройств для регулярных структур программируемой логики (БРФФИ № Ф07-158) / Белорус. гос. ун-т информатики и радиоэлектроники; рук. В.Н. Ярмолик. – № ГР 20072756.

Цель и задачи исследования

Целью работы является минимизация потребления энергии при самотестировании вычислительных систем. Для достижения поставленной цели необходимо решить следующие задачи:

1. Разработать теорию, методы и алгоритмы формирования тестовых воздействий и сжатия тестовых реакций с пониженной переключательной активностью, что позволит снизить потребление энергии при самотестировании вычислительных систем.

2. Разработать новые и адаптировать существующие архитектуры средств самотестирования, позволяющие снизить потребление энергии при самотестировании вычислительных систем.

3. Разработать методы и алгоритмы снижения числа переключений при сдвиге тестовых данных по цепи сканирования.

4. Разработать методики анализа комбинационных схем, которые позволят получить максимально возможную оценку энергопотребления на ранних этапах проектирования.

Объектом исследования являются вычислительные системы в режиме самотестирования. Предметом исследования являются методы и алгоритмы, позволяющие уменьшить энергопотребление при самотестировании вычислительных систем. Исследование базируется на следующих гипотезах:

1. Потребление энергии вычислительных систем прямо пропорционально переключательной активности внутренних узлов. Поэтому уменьшение этого параметра при самотестировании приводит к уменьшению энергопотребления.

2. Основная часть энергии вычислительных систем при самотестировании приходится на цепь синхронизации. Поэтому уменьшение частоты синхронизации без снижения быстродействия (частоты формирования тестовых воздействий и сжатия тестовых реакций) позволит уменьшить потребление энергии.

Положения, выносимые на защиту

1. Новая архитектура самотестирования, которая позволяет в два раза снизить тактовую частоту работы средств самотестирования без снижения частоты формирования тестовых наборов и сжатия тестовых реакций, в результате чего практически в два раза снижается энергопотребление средств самотестирования, что позволяет снизить пик потребления энергии, наблюдаемый при проведении самотестирования.

2. Получила развитие теория формирования псевдослучайных последовательностей, которые используются в качестве тестовых воздействий при организации самотестирования вычислительных систем. В частности, доказаны теоремы о фазовых сдвигах псевдослучайных последовательностей максимальной длины, формируемых различными структурами быстродействующих генераторов. Это позволило разработать теоретические основы формирования тестовых воздействий с уменьшенной переключательной активностью.

3. Метод формирования псевдослучайных тестовых воздействий, основанный на увеличении частоты формирования псевдослучайной тестовой последовательности без увеличения частоты синхронизации, который позволяет формировать тестовые воздействия с меньшими затратами энергии, а также методики синтеза источников тестовых воздействий, формирующих несколько

новых символов псевдослучайных тестовых последовательностей за один такт синхронизации.

4. Метод проектирования многоканального источника псевдослучайных тестовых воздействий, основанный на применении T -триггеров. Метод позволяет проектировать источники тестовых воздействий, которые потребляют на 23 % меньше энергии.

5. Метод проектирования цепи сканирования, отличающийся от используемого возможностью инвертирования содержимого цепи сканирования, который позволяет сократить время трансляции детерминированных тестовых наборов на 10 %.

6. Методика оценки максимальной переключательной активности древовидных логических схем, которая по сравнению с подходами, основанными на вероятностных характеристиках сигнала, позволяет получить максимально возможную оценку потребления энергии на ранних этапах проектирования. Получены аналитические оценки переключательной активности многовходовых логических элементов для случая, когда сигналы на входах имеют максимальную переключательную активность. Предложена методика проектирования многовходовых логических элементов с минимальной переключательной активностью на основе двухвходовых элементов, которая в отличие от известных предназначена для случая, когда смена логических состояний на входах происходит принципиально в различные моменты времени.

Личный вклад соискателя

Основные положения, выносимые на защиту, получены лично автором. В совместных с автором работах А. М. Шмидман проводил моделирование поведения различных схем ISCAS'89 в системе HITEC, В. С. Малашенко выполняла программную реализацию алгоритмов вычисления дискретных логарифмов, анализ переключательной активности средств самотестирования выполнен совместно с М. Puczek. В монографии [2–А] автором написаны главы 1 и 7. В совместных с другими соавторами публикациях личный вклад автора определяется рамками излагаемых в диссертации материалов.

Апробация результатов диссертации

Основные теоретические результаты работы докладывались на следующих международных и республиканских научных конференциях:

1. XLVIII сессия РНТО РЭС им. А.С. Попова, Москва, 1993 г.;

2. НТК «Теория и методы создания интеллектуальных САПР», Минск, 23–25 ноября 1994 г.;
3. НТК «Современные проблемы радиотехники, электроники и связи», посвященная 100-летию радио, Минск, 4–5 мая 1995 г.;
4. 10-я НТК профессорско-преподавательского состава, аспирантов и студентов «Новые технологии в машиностроении и вычислительной технике», Брест, 31 марта – 1 апреля 1998 г.;
5. International Conference «Information Technologies for Education, Science and Business» (ITESB'99), Minsk, 24–25 June 1999 г.;
6. 7-я МНК «Теория и техника передачи, приема и обработки информации», Харьков, 1–4 октября 2001 г.;
7. 7-я МНК «Информационные сети, системы и технологии» (ICINASTe-2001), Минск, 2–4 октября 2001 г.;
8. 5-я МНК «Новые информационные технологии», Минск, 29–31 октября 2002 г.;
9. 3-я МНТК «Моделирование интеллектуальных процессов проектирования, производства и управления» (CIM'2002), Минск, 13–14 ноября 2002 г.;
10. 7th Int. Conf. «The Experience of Designing and Application of CAD Systems in Microelectronics» (CADSM), Lviv-Slavsko, Ukraine, 18–21 February 2003;
11. 7th Int. Conf. «Pattern Recognition and Information Processing» (PRIP'2003), Minsk, 21–23 May 2003;
12. Int. Conf. «Computer Information Systems and Industrial Management Applications» (CISIM'03), Elk, Poland, 26–28 June 2003;
13. МНК «Автоматизация проектирования дискретных систем» (CAD'DD): CAD DD'95, Минск, 15–17 ноября 1995, CAD DD'97, Минск, 12–14 ноября 1997 г., CAD DD'2001, Минск, 14–16 ноября 2001 г., CAD DD'2004, Минск, 16–17 ноября 2004 г.;
14. МНПК «Современные информационные компьютерные технологии» (mcIT-2008), Гродно 21–24 апреля 2008 г.

Опубликованность результатов диссертации

По материалам диссертации опубликовано 46 печатных работ, в том числе две монографии и 24 статьи, а также 13 работ в сборниках статей и материалах конференций, 6 тезисов докладов и одно авторское свидетельство.

Общий объем публикаций по теме диссертации, соответствующих пункту 18 Положения о присуждении ученых степеней и присвоении ученых званий в Республике Беларусь, составляет 32,53 авторских листа.

Структура и объем диссертации

Диссертационная работа состоит из введения, общей характеристики работы, пяти глав, заключения, библиографического списка и шести приложений.

В первой главе проводится анализ методов и средств самотестирования вычислительных систем, приводится классификация архитектур самотестирования, методы и средства, применяемые для снижения энергопотребления при тестировании вычислительных систем, а также распределение суммарной потребляемой мощности среди основных структурных компонент архитектур самотестирования. Во второй главе приведена классификация источников энергопотребления вычислительных систем, приведен анализ методов оценки потребляемой мощности и методов минимизации энергопотребления при проектировании вычислительных систем, разработана методика и получены аналитические оценки максимальной переключательной активности древовидных логических схем, предложены методики проектирования многовходовых логических элементов с минимальной переключательной активностью на основе двухвходовых элементов, которые предназначены для случая, когда на входы элементов поступают некоррелированные сигналы с максимально возможной переключательной активностью (псевдослучайные тестовые воздействия). В третьей главе разработаны теоретические основы формирования псевдослучайных и детерминированных тестовых последовательностей с пониженной переключательной активностью. В четвертой главе представлены методы минимизации потребления энергии при самотестировании вычислительных машин и систем, а также методики проектирования средств ВСТ с пониженным потреблением энергии. В пятой главе представлены программные средства синтеза средств самотестирования с пониженным потреблением энергии, а также результаты синтеза средств самотестирования для аппаратной реализации алгоритма шифрования.

Приложение включает: справочную информацию по средствам и стандартам тестирования; вывод формул для анализа переключательной активности; справочную информацию по примитивным полиномам; оценки энергопотребления генераторов псевдослучайных тестовых последовательностей, полученные в САПР Xilinx ISE, InCyte и при помощи разработанных программных средств; информацию по синтезу модуля шифрования; копии документов, подтверждающих практическую ценность диссертации и личный вклад соискателя.

Общий объем работы составляет 285 страниц, в том числе 123 рисунка на 43 страницах, 14 таблиц на 4 страницах, 6 приложений на 54 страницах и список из 390 используемых источников (в том числе 47 авторских) на 30 страницах.

ОСНОВНОЕ СОДЕРЖАНИЕ

Во **введении** показано, что достижения в микроэлектронике привели к тому, что современные вычислительные системы реализуются на основе сложных и функционально насыщенных СБИС, таких, как «system-on-a-chip», «system-in-package» или «network-on-a-chip». Применение новой элементной базы вызвало значительные изменения в процессе проектирования цифровых вычислительных систем, а также в процессе проектирования средств проверки их работоспособности. Одним из важнейших изменений является учет потребления энергии в режиме тестирования. Это вызвано тем, что при тестировании потребление энергии может возрасти в два–три раза по сравнению с рабочим режимом, что приводит к таким неблагоприятным последствиям, как значительное возрастание рассеиваемой мощности. В результате ужесточаются требования к системе отвода тепла, требуются более мощные источники питания, а для мобильных систем сокращается время автономной работы. Это обосновывает актуальность темы диссертации.

Первая глава посвящена обзору методов и средств самотестирования, применяемых в настоящее время для обеспечения тестируемости вычислительных систем, а также методов и средств минимизации потребления энергии при самотестировании.

Основу современных вычислительных систем составляют функционально насыщенные СБИС, полная проверка которых представляет достаточно сложную задачу. По оценкам специалистов, стоимость разработки тестов для СБИС соизмерима со стоимостью ее изготовления. Еще больше эта задача усложняется при организации тестирования на уровне вычислительной системы. Это приводит к необходимости использования различных методов тестопригодного проектирования (рисунок 1).

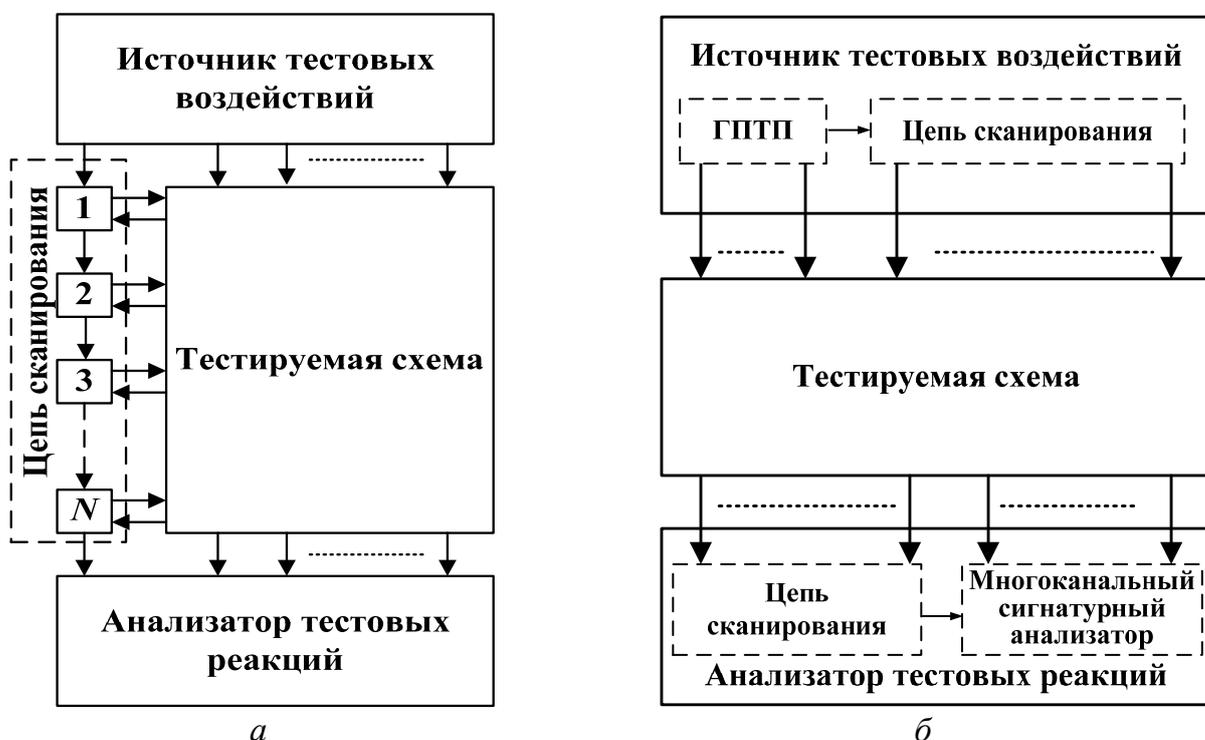
Анализ применяемых в настоящее время методов и средств самотестирования показал, что ключевыми элементами любой архитектуры ВСТ являются: источник тестовых воздействий, устройство сжатия реакций и цепь (или цепи) сканирования. Характеристики этих элементов определяют основные качественные показатели тестирования – процент покрытия неисправностей, время проведения тестового эксперимента, энергопотребление при тестировании [1–А]. В качестве источника тестовых воздействий наибольшее распространение получил LFSR (Linear Feedback Shift Register) и его модификации, а в качестве устройства сжатия реакций – сигнатурный анализатор [3–А, 8–А, 28–А, 40–А, 41–А, 42–А, 43–А]. Причем эти элементы могут быть представлены одной из двух основных архитектур: «test-per-clock» или «test-per-scan» (рисунок 2). Кроме того, эти элементы должны обладать известной степенью универсальности для того, чтобы достаточно эффективно

работать с различными тестовыми наборами – псевдослучайными, детерминированными и взвешенными.



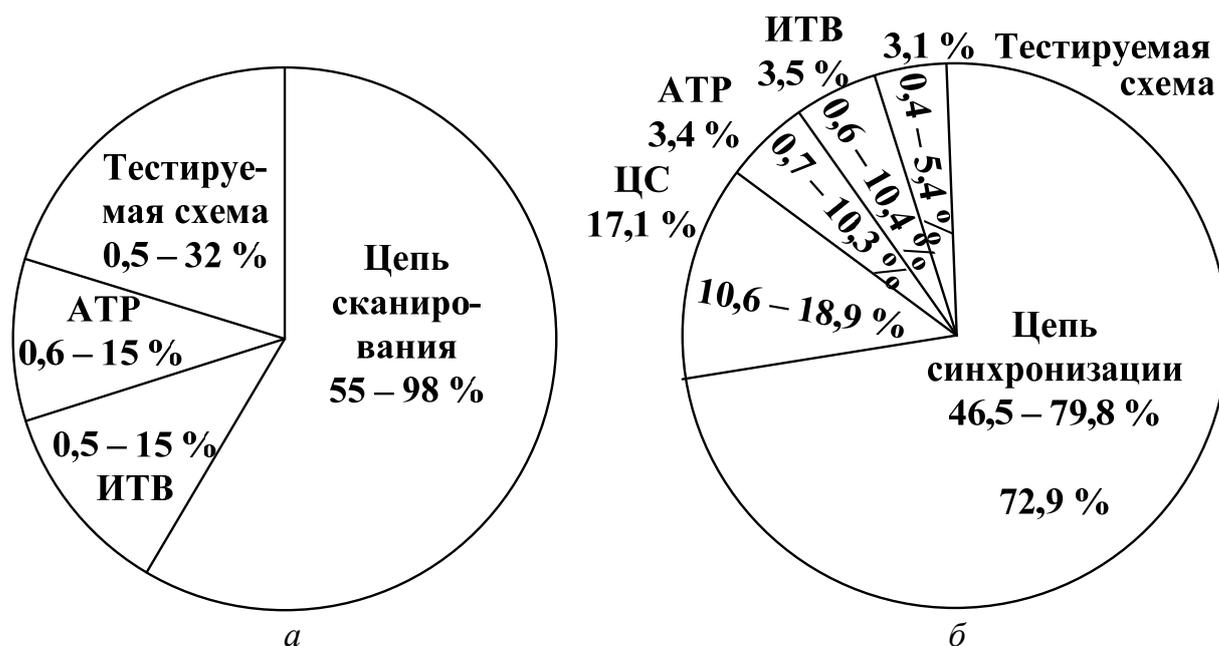
LSSD – Level-Sensitive Scan Design; BILBO – Built-In Logic Block Observer; S³ – Self-test using Scan path and Signature analyzer; STUMPS – Self-Test Using Multiple-input signature register and a Parallel shift register Sequence generator

Рисунок 1 – Методы тестопригодного проектирования вычислительных систем



ГППП – генератор псевдослучайной тестовой последовательности
Рисунок 2 – Архитектуры самотестирования: «test-per-scan» (а) и «test-per-clock» (б)

Анализ публикаций в данной области показал, что для архитектуры «test-per-scan» максимум потребляемой мощности при тестировании приходится на цепь сканирования (от 40 до 99 %). Остальные три компонента – источник тестовых воздействий, анализатор тестовых реакций, тестируемая схема – имеют примерно одинаковое потребление энергии – от 0,5 до 15 % (рисунок 3, а). Причем от 50 до 80 % потребляемой мощности приходится на цепь синхронизации (рисунок 3, б).



АТР – анализатор тестовых реакций; ИТВ – источник тестовых воздействий;
ЦС – цепь сканирования

Рисунок 3 – Распределение потребляемой мощности для архитектуры «test-per-scan» среди основных компонентов средств ВСТ (а) и доля потребляемой мощности цепи синхронизации (б)

Таким образом, на основании проведенного анализа была сформулирована задача снижения частоты синхронизации без снижения быстродействия средств ВСТ.

Вторая глава посвящена особенностям проектирования современных вычислительных систем с учетом энергопотребления. Доминирующее положение на рынке цифровой электроники занимает КМОП-технология, для которой потребляемая мощность определяется двумя составляющими – динамической и статической (рисунок 4). Причем на долю динамической мощности приходится до 99 % от суммарной потребляемой мощности.

Эффективное проектирование СБИС невозможно без оценок потребляемой мощности. Причем эти оценки должны быть получены на как можно более ранних стадиях проектирования. В противном случае может возникнуть по-

требность в повторном проектировании отдельных частей или всего проекта, что значительно увеличивает стоимость конечного продукта.

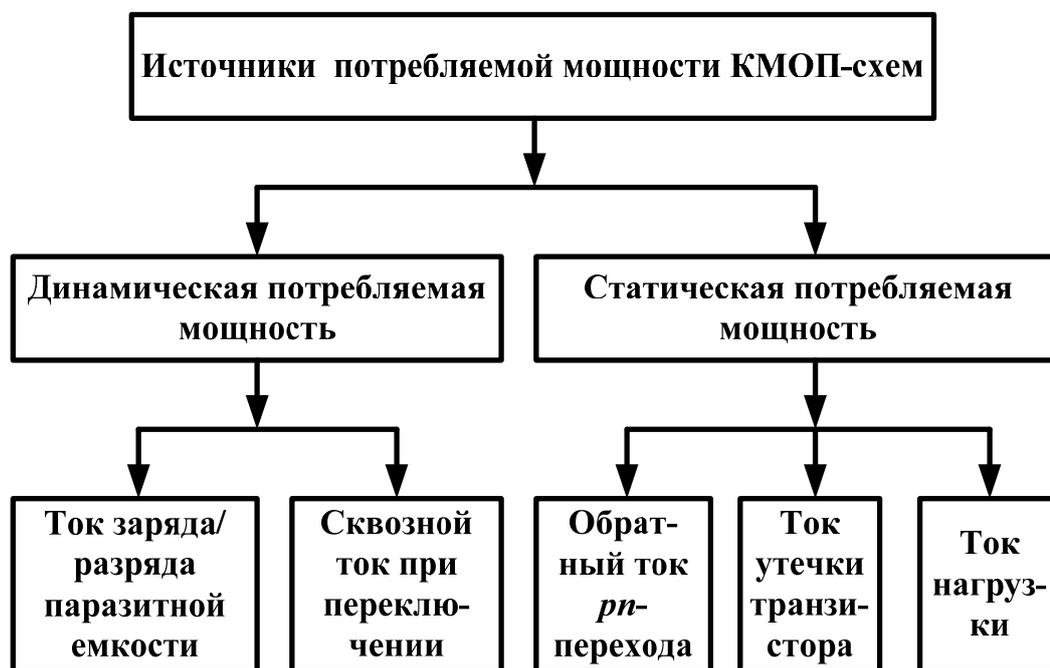


Рисунок 4 – Источники потребляемой мощности КМОП-схем

Для получения оценки энергопотребления наибольшее распространение получили статистические и вероятностно-аналитические методы. Статистические методы требуют многократного запуска инструментальных средств. Вероятностно-аналитические методы позволяют получить оценку за один проход. Оценка, полученная при использовании статистических методов, сильно зависит от исходного множества входных наборов и количества запусков инструментальных средств. Для сложной схемы даже однократный запуск требует достаточно больших временных затрат. С другой стороны, данные методы не требуют применения специальных моделей компонентов. Вероятностно-аналитические методы, как правило, позволяют значительно сократить временные затраты. В то же время для их использования требуются специальные модели компонентов, которые поддерживаются не всеми инструментальными средствами разработки.

В архитектурах встроенного самотестирования в качестве тестовых воздействий широкое распространение получили псевдослучайные тестовые последовательности, в которых равновероятно появление «0» и «1», т.е. $p_x = 0,5$. Однако сигнал с такой вероятностью имеет максимально возможную переключающую активность, которая определяется следующим выражением:

$$WSA_x = 2p_x(1 - p_x). \quad (1)$$

Для упрощенного анализа энергопотребления на ранних этапах проектирования цифровых систем разработана методика оценки, основанная на использовании удельной переключательной активности (т.е. среднего числа переключений в единицу времени). По сравнению с известными методиками предложенная методика позволяет получить граничное (максимально возможное) значение переключательной активности за счет того, что предполагает, что все переключения на входе схемы происходят в различные моменты времени. Основу методики составляют нижеследующие рассуждения. Переключения на различных входах логического элемента происходят в различные моменты времени. Выход двухвходового элемента I изменит свое состояние, если изменит состояние один из входов, при этом на втором входе должна быть «1». Переключательная активность выхода будет состоять из двух слагаемых: части переключательной активности входа x_1 (WSA_{x_1}), распространившейся на выход при наличии разрешающего сигнала на входе x_2 , и части переключательной активности входа x_2 (WSA_{x_2}), распространившейся на выход при наличии разрешающего сигнала на входе x_1 , то есть

$$WSA_y = p_{x_2} WSA_{x_1} + p_{x_1} WSA_{x_2}, \quad (2)$$

где p_{x_1} , p_{x_2} – сигнальные вероятности входов x_1 и x_2 .

Для элемента *ИЛИ* в (2) p_{x_1} , p_{x_2} заменяются на $(1 - p_{x_1})$, $(1 - p_{x_2})$.

Выход элемента *Исключающее ИЛИ* изменит свое состояние, если изменит состояние один из входов, при этом на втором входе может быть любое значение. Поэтому

$$WSA_y = WSA_{x_1} + WSA_{x_2}. \quad (3)$$

Пятивходовой элемент, выполняющий одну из трех базовых функций: *И*, *ИЛИ*, *Исключающее ИЛИ* (рисунок 5, а), может быть представлен одной из трех схем (рисунок 5, б–г). Его переключательная активность определяется переключательной активностью выхода y и переключательными активностями внутренних узлов z . Исследования показали, что для случая, когда сигнальная вероятность всех входов одинакова, для элементов *И* и *ИЛИ* минимальную переключательную активность имеет схема #1 (рисунок 5, б). Однако, пятивходовой сумматор по модулю два, реализованный по этой схеме, имеет максимальную переключательную активность. С другой стороны, схема #3 (рисунок 5, г) позволяет реализовать сумматор по модулю два с минимальной переключательной активностью, в то время как элементы *И* и *ИЛИ* имеют максимальную переключательную активность.

Для случая, когда переключательная активность всех входов одинакова и равна 0,5 ($WSA_{x_i} = 0,5$, $i = \overline{1, d}$), переключательная активность d -входовых логических элементов *И* и *ИЛИ* для схемы #1 будет определяться выражением:

$$WSA_{\min} = 1,5 - 0,5^d (0,5d + 1). \quad (4)$$

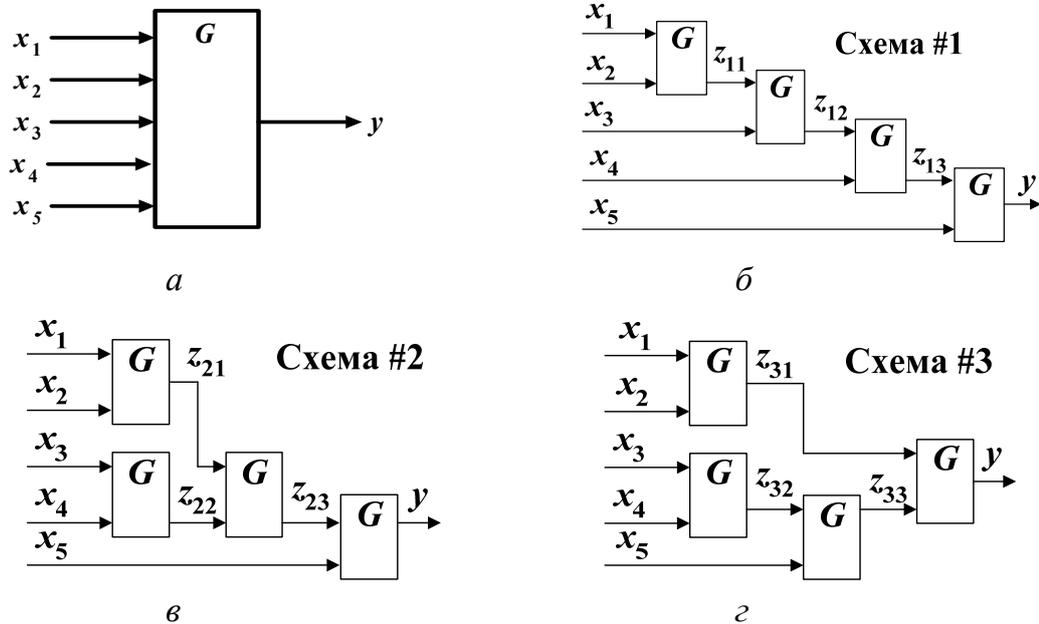


Рисунок 5 – Логический элемент (а) и варианты его реализации на двухвходовых элементах: схема #1 (б), схема #2 (в) и схема #3 (г)

При произвольных значениях переключательной активности входов для синтеза d -входового элемента *И* была предложена следующая методика.

Методика синтеза d -входового элемента И

1. Формируется вектор $P = (p_{x_1}, p_{x_2}, \dots, p_{x_d})$ из значений сигнальных вероятностей входов. На основании P вычисляется вектор переключательной активности входов $W = (WSA_{x_1}, WSA_{x_2}, \dots, WSA_{x_d})$ по следующей формуле:
 $WSA_{x_i} = 2p_{x_i} (1 - p_{x_i})$, где $i = \overline{1, d}$.

2. Вектора сортируются в порядке возрастания. Находится оценка переключательной активности при подаче на схему сигналов в порядке возрастания сигнальной вероятности WSA_1 и в порядке возрастания переключательной активности WSA_2 .

3. На основании WSA_1 и WSA_2 выбирается вариант с меньшей переключательной активностью.

Предложенная методика требует сортировки двух векторов и позволяет синтезировать d -входовой элемент с минимальной или близкой к минимальной переключательной активностью. Для синтеза d -входового элемента *ИЛИ* может быть использована аналогичная методика.

Получены граничные оценки переключательной активности d -входового сумматора по модулю два на основе двухвходовых элементов *Исключающее ИЛИ* для случая, когда на вход поступают сигналы с максимальной переключательной активностью ($p_{x_i} = 0,5$, $WSA_{x_i} = 0,5$, $i = \overline{1, d}$):

$$WSA_{\min} = 0,5(d \cdot \lfloor \log_2 d \rfloor + 2(d - 2^{\lfloor \log_2 d \rfloor})), \quad (5)$$

$$WSA_{\max} = \frac{d^2 + d - 2}{4}. \quad (6)$$

Методика синтеза d -входового сумматора по модулю два с минимальной переключательной активностью для случая $p_x = 0,5$ ($WSA_x = 0,5$)

1. Находим переключательную активность выхода $WSA_{out} = 0,5d$.
2. Представим WSA_{out} в виде двух слагаемых $WSA_{out} = WSA_{in1} + WSA_{in2}$ таким образом, чтобы выполнялись условия:
 - оба значения (WSA_{in1} и WSA_{in2}) должны нацело делиться на 0,5;
 - значения WSA_{in1} и WSA_{in2} должны быть равны или отличаться на величину 0,5 ($|WSA_{in1} - WSA_{in2}| = 0$ или $|WSA_{in1} - WSA_{in2}| = 0,5$).
3. Если значение WSA_{in1} (WSA_{in2}) равно 0,5, то для этой ветви работа заканчивается, в противном случае считаем $WSA_{out} = WSA_{in1}$ ($WSA_{out} = WSA_{in2}$) и возвращаемся к п. 2.

Пример работы методики для $d = 7$ представлен на рисунке 6.

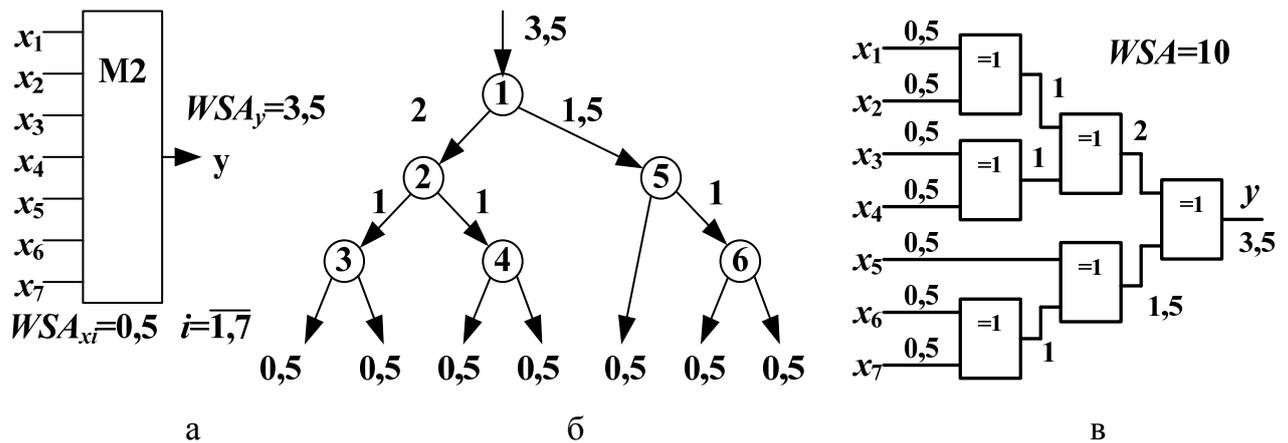


Рисунок 6 – Пример синтеза семивходового сумматора по модулю два: исходный сумматор (а), построение двоичного дерева (б) и реализация сумматора на двухвходовых элементах (в)

При произвольных значениях переключательной активности входов для синтеза многовходового сумматора разработан следующий алгоритм.

Методика синтеза d-входового сумматора по модулю два с минимальной переключающей активностью для произвольного случая

1. Формируется вектор из значений переключающей активности входов: $W = (WSA_{x_1}, WSA_{x_2}, \dots, WSA_{x_d})$.

2. На основании двух минимальных значений WSA_{x_1} и WSA_{x_2} вычисляется $WSA_{y_1} = WSA_{x_1} + WSA_{x_2}$ и добавляется в вектор W вместо WSA_{x_1} и WSA_{x_2} .

3. Если в векторе W останется более двух элементов, то повторяется п. 2.

В третьей главе рассмотрены теоретические основы формирования тестовых последовательностей с пониженной переключающей активностью. Большое внимание уделено вопросам формирования M-последовательностей, которые используются в качестве псевдослучайных тестовых последовательностей. Предложены методики проектирования генераторов, которые позволяют формировать M-последовательности с частотой, в несколько раз превышающей частоту синхронизации. Ключевая идея заключается в том, что если просуммировать по модулю два M-последовательности, сдвинутые ровно на половину периода друг относительно друга, то получим ту же самую M-последовательность, но формируемую с удвоенной частотой.

На рисунке 7 M-последовательность $\{a_0\}$, определяемая порождающим полиномом $\varphi(x) = x^5 \oplus x^4 \oplus x^3 \oplus x^2 \oplus 1$, суммируется со своей сдвинутой ровно на половину периода копией $\{a_{L/2}\}$, где $L = 2^5 - 1 = 31$. В результате получаем $\{a_{19}\}$, формируемую с удвоенной частотой, т.е. $\{a_0\} \oplus \{a_{31/2}\} = \{a_{19}\}$.

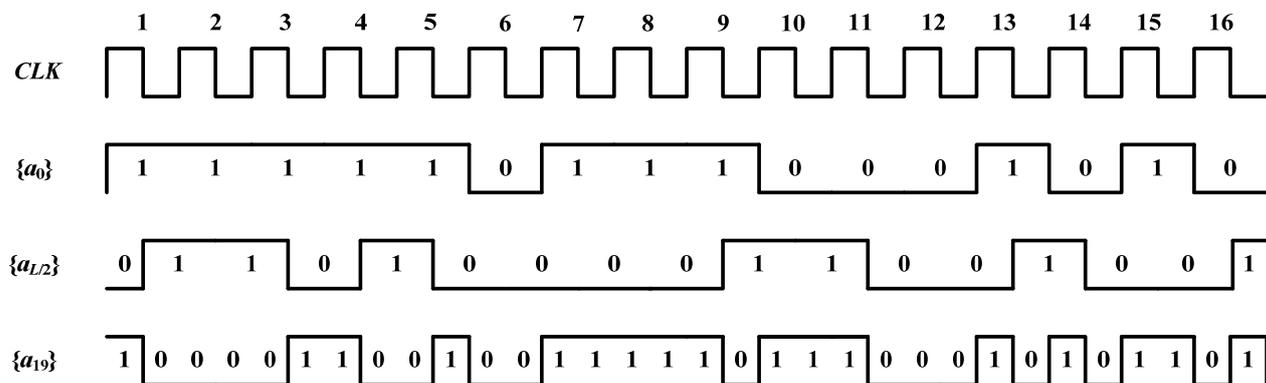


Рисунок 7 – Пример формирования M-последовательности с удвоенной частотой при помощи сумматора по модулю два

Сформулированы и доказаны теоремы, которые определяют взаимосвязь фазовых сдвигов исходной и новой M-последовательности в случае удвоения частоты и в произвольном случае [9–А].

Теорема 1. Суммирование по модулю два характеристического сдвига M-последовательности со своей сдвинутой ровно на половину периода копией

приводит к формированию с удвоенной частотой той же самой М-последовательности, начиная с i -го символа

$$i = \left(\frac{(\lfloor L/2 \rfloor + s)}{(\lfloor L/2 \rfloor + 1)} - s \right) \bmod L, \quad (7)$$

где $L = 2^m - 1$ – период М-последовательности,

$\lfloor \dots \rfloor$ – целая часть числа,

$m = \deg \varphi(x)$ – старшая степень полинома $\varphi(x)$,

$\varphi(x)$ – порождающий полином М-последовательности,

s находится из выражения $x^s = x \oplus 1 \bmod \varphi(x)$.

Теорема 2. Суммирование по модулю два d сдвинутых ровно на L/d периода копий М-последовательности (включая характеристический сдвиг), определяемой порождающим полиномом $\varphi(x)$ степени m приводит к формированию с увеличенной в d раз частотой М-последовательности, определяемой порождающим полиномом $\psi(x)$ той же степени m , начиная с i -го символа

$$i = \frac{(d-1)r + s}{L-r} - p \bmod L, \quad (8)$$

где d – коэффициент умножения частоты ($d = 2, 3, 4, \dots$),

$r = \lfloor L/d \rfloor$,

$\lfloor \dots \rfloor$ – целая часть числа,

$L = 2^m - 1$ – период М-последовательности,

$m = \deg \varphi(x) = \deg \psi(x)$,

$\varphi(x)$ – порождающий полином исходной М-последовательности,

$\psi(x)$ – порождающий полином новой М-последовательности,

s находится из выражения $x^s = x \oplus 1 \bmod \varphi(x)$,

p находится из выражения $x^p = x \oplus 1 \bmod \psi(x)$,

$(L, d) = 1$.

Если исходная последовательность имеет отличный от характеристического фазовый сдвиг (например j -й), то выражения (7) и (8) примут вид:

$$i = \left(2j + \frac{(\lfloor L/2 \rfloor + s)}{(\lfloor L/2 \rfloor + 1)} - s \right) \bmod L, \quad (9)$$

$$i = \left(d \cdot j + \frac{(d-1)r + s}{L-r} - p \right) \bmod L. \quad (10)$$

Вид порождающего полинома новой М-последовательности определяется на основании выражения

$$\psi(x) = \det(V^d \oplus I \cdot x), \quad (11)$$

где V – порождающая матрица исходной М-последовательности,
 I – единичная матрица того же ранга.

Таким образом, для анализа фазовых сдвигов ускоренных последовательностей необходимо знать старшую степень порождающего полинома m , коэффициент ускорения d и значения s и p , которые зависят от вида порождающих полиномов исходной и ускоренной последовательностей [7–А].

Для синтеза генератора, формирующего несколько символов М-последовательности за один такт синхронизации (будем называть его быстродействующим генератором), предложены три методики.

Методика синтеза быстродействующего генератора на основе LFSR

1. Выбирается полином $\varphi(x)$ степени m и коэффициент ускорения d . Проверяется условие взаимной простоты $(L, d) = 1$, где $L = 2^m - 1$.

2. Строится LFSR с обратными связями, которые определяются матрицей V , которая имеет характеристическое уравнение $\varphi(x)$.

3. Вычисляются значения дискретных логарифмов $x^{[L/d]} \bmod \varphi(x)$, которые определяют конфигурацию сумматоров по модулю два для формирования d сдвинутых на величину $[L/d]$ копий М-последовательности. Заметим, что одну из копий можно снимать с некоторого разряда LFSR, поэтому достаточно вычислить $d - 1$ дискретный логарифм. На основании вычислений к LFSR добавляются сумматоры по модулю два, по выходам которых формируются d последовательностей с фазовым сдвигом $[L/d]$.

4. К выходам сумматоров подключается схема, состоящая из d -входного сумматора по модулю два и $d - 1$ элемента задержки, которые имеют время задержки $t, 2t, 3t, \dots, (d - 1)t$, где $t = T/d$, T – период тактовых импульсов. По выходу сумматора по модулю два формируется последовательность, определяемая тем же порождающим полиномом $\varphi(x)$, с частотой в d раз выше, чем частота тактовых импульсов.

Достоинством данной методики является использование LFSR в качестве генератора М-последовательности, недостатком – необходимость вычислений дискретных логарифмов и использование многовходовых сумматоров по модулю два для формирования требуемых фазовых сдвигов. Следующая методика свободна от этих недостатков.

Методика синтеза быстродействующего генератора на основе свойства децимации

1. Выбирается полином $\varphi(x)$ степени m и коэффициент ускорения d . Проверяется условие взаимной простоты $(L, d) = 1$, где $L = 2^m - 1$.

2. Находится V^d , где V имеет характеристическое уравнение $\varphi(x)$.

3. На основании V^d строится структурная схема генератора, на d выходах которого формируются d последовательностей с фазовым сдвигом $[L/d]$.

4. К данным выходам подключается схема, состоящая из d -входового сумматора по модулю два и $d - 1$ элемента задержки, которые имеют время задержки $t, 2t, 3t, \dots, (d-1)t$, где $t = T/d$, T – период тактовых импульсов. По выходу сумматора по модулю два формируется последовательность, определяемая тем же порождающим полиномом $\varphi(x)$, с частотой в d раз выше, чем частота тактовых импульсов.

Третья методика формирования ускоренной M -последовательности основана на свойстве децимации. Возьмем M -последовательность $\{a_0\}$ определяемую полиномом $\varphi(x)$, и на ее основе сформируем d сдвинутых копии [16–А]. В течение периода тактового импульса из этих копий выбираются d символов. Последовательность выборки символов определяется следующим образом. Сначала выбирается первый символ из характеристического сдвига $\{a_0\}$, т.е. $b_0 = a_0$. Затем выбирается первый символ из некоторого сдвига $\{a_x\}$, то есть $b_1 = a_x$. Далее $b_2 = a_{2x}$, $b_3 = a_{3x}$, ..., $b_{d-1} = a_{(d-1)x}$. Затем в той же последовательности выбираются вторые символы, то есть $b_d = a_1$, $b_{d+1} = a_{x+1}$ и т.д. Таким образом, новая последовательность $\{b_0\}$ формируется как децимация исходной последовательности $\{a_0\}$ по индексу x , то есть $\{b_0\} = \{a_0\}^x$. Значение x может быть найдено из выражения $d \cdot x = 1 \pmod L$.

Рассмотрим пример для случая удвоения частоты (рисунок 8). Возьмем две копии M -последовательности $\{a_0\}$ и $\{a_x\}$, определяемой порождающим полиномом $\varphi(x) = x^5 \oplus x^2 \oplus 1$, и будем поочередно выбирать из них символы a_0, a_x, a_1, a_{x+1} и т.д. В этом случае $d = 2$, $L = 31$, поэтому из выражения $2x = 1 \pmod 31$ находим $x = 16$ [17–А]. Новая M -последовательность формируется как децимация $\{a_0\}$ по индексу 16, поэтому она определяется тем же самым порождающим полиномом. В качестве исходной M -последовательности был взят характеристический сдвиг, поэтому новая последовательность также является характеристическим сдвигом. Для выборки символов может быть использован двухвходовой мультиплексор.

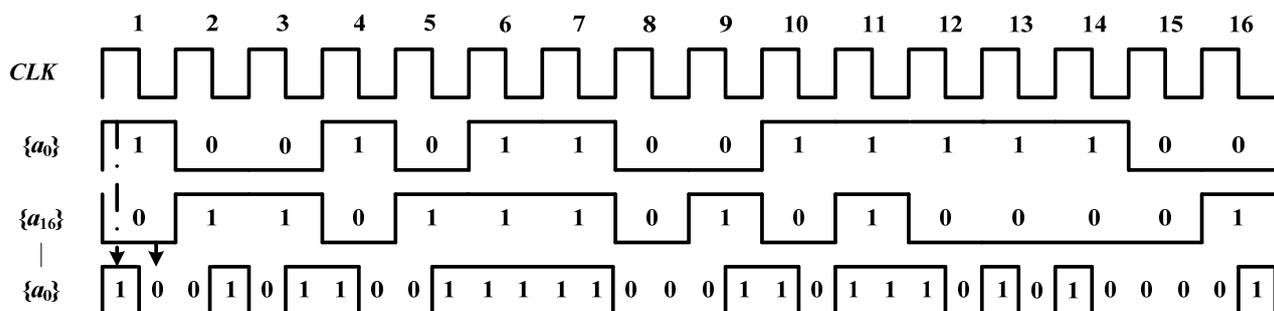


Рисунок 8 – Пример формирования M -последовательности с удвоенной частотой при помощи мультиплексора

В работе сформулированы и доказаны теоремы, определяющие взаимосвязь фазовых сдвигов исходной и новой М-последовательности для случая удвоения частоты и для произвольного случая.

Фазовые сдвиги ускоренной М-последовательности в случае удвоения частоты и в произвольном случае определяются следующими теоремами.

Теорема 3. В результате поочередной выборки символов из сдвинутых на $(\lfloor L/2 \rfloor + 1)$ тактов друг относительно друга копий М-последовательности $\{a_i\}$ и $\{a_{i+\lfloor L/2 \rfloor + 1}\}$ формируется с удвоенной частотой j -я копия исходной М-последовательности, причем

$$j = 2 \cdot i \bmod L. \quad (12)$$

Теорема 4. В результате поочередной выборки (начиная с i -го символа) из d сдвинутых на x тактов копий М-последовательности $\{a_0\}$, определяемой порождающим полиномом $\varphi(x)$ степени m , при выполнении условия $(L, d) = 1$, формируется с увеличенной в d раз частотой М-последовательность $\{b_j\}$, определяемая порождающим полиномом $\psi(x)$ той же степени m , причем

$$j = d \cdot i \bmod L, \quad (13)$$

где d – коэффициент умножения частоты ($d = 1, 2, 3, \dots$),

$L = 2^m - 1$ – период М-последовательности,

$m = \deg \varphi(x) = \deg \psi(x)$,

$\varphi(x)$ – порождающий полином исходной М-последовательности,

$\psi(x)$ – порождающий полином новой М-последовательности,

x находится из выражения $d \cdot x = 1 \bmod L$,

$(L, d) = 1$.

Методика синтеза быстродействующего генератора на основе мультиплексора

1. Проверяется условие взаимной простоты $(L, d) = 1$, где $L = 2^m - 1$. Если условие не выполняется, то выбирается полином другой степени или другой коэффициент умножения частоты d .

2. Строится генератор, на выходах которого формируются d сдвинутых на $(\lfloor L/d \rfloor + 1)$ тактов копии М-последовательности. Для этого строится порождающая матрица V ($\det(V \oplus I \cdot x) = \varphi(x)$) и возводится в d -ю степень. На основании V^d строится структурная схема генератора. Новая М-последовательность $\{b_0\}$ формируется как децимация исходной М-последовательности $\{a_0\}$ (которая определяется порождающим полиномом $\varphi(x)$ степени m) по индексу d .

3. К соседним выходам генератора подключается d -входовой мультиплексор, по выходу которого в течение одного такта работы генератора формируется d символов М-последовательности $\{c_0\}$. М-последовательность $\{c_0\}$

формируется как децимация $\{b_0\}$ по индексу x , где $x = 1/d \bmod L$. Так как $\{b_0\} = \{a_0\}^d$, получим $\{c_0\} = \{b_0\}^{1/d \bmod L} = \{\{a_0\}^d\}^{1/d \bmod L} = \{a_0\}$. Таким образом, ускоренная М-последовательность определяется тем же самым порождающим полиномом $\varphi(x)$ степени m , что и исходная.

Полученные результаты были распространены на ключевые элементы архитектур самотестирования: источник псевдослучайных тестовых воздействий, цепь сканирования и анализатор тестовых реакций [9–А, 10–А, 23–А, 24–А]. Предложено заменить типовой источник псевдослучайных тестовых воздействий, состоящий из LFSR и цепи сканирования, на источники, представленные на рисунках 9 и 10, различающиеся только реализацией схемы удвоения частоты.

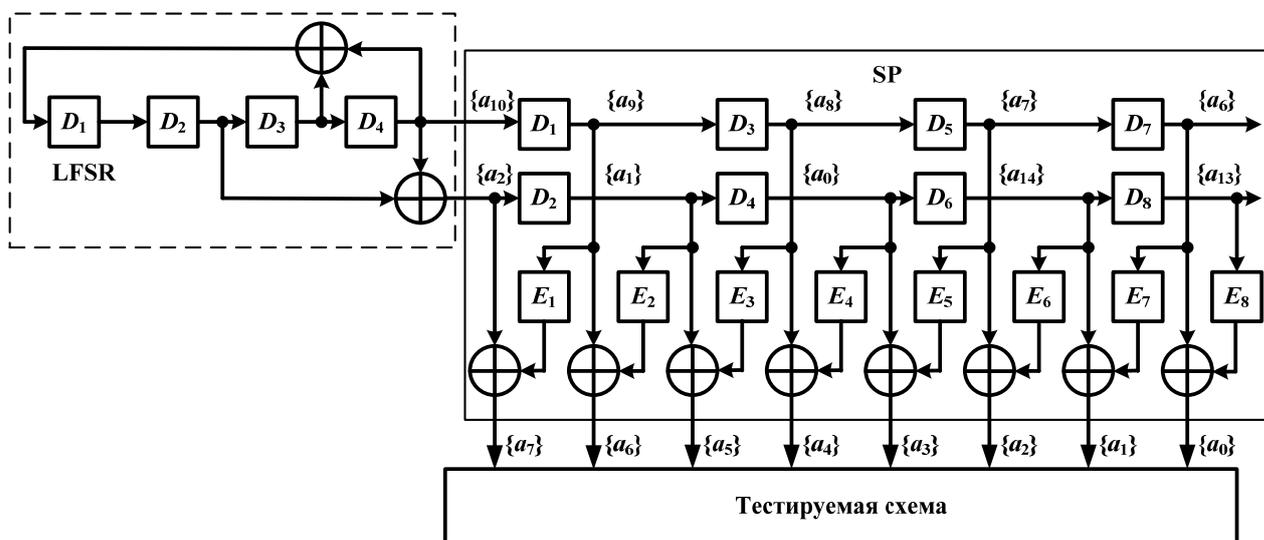


Рисунок 9 – Источник тестовых воздействий, формирующий тестовые наборы с удвоенной частотой, на основе сумматора по модулю два

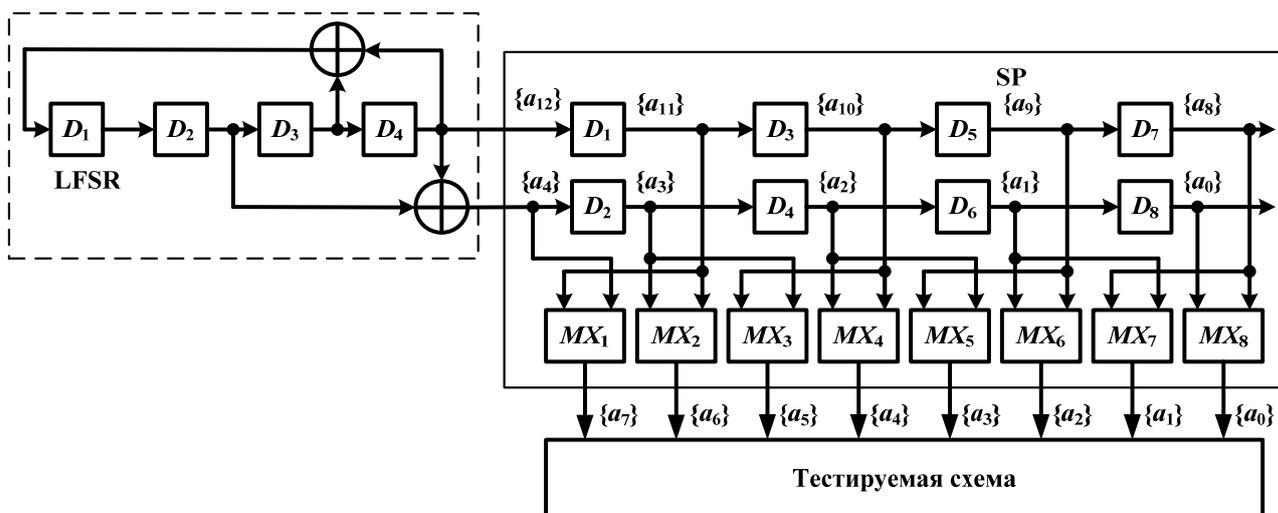


Рисунок 10 – Источник тестовых воздействий, формирующий тестовые наборы с удвоенной частотой, на основе мультиплексора

Схема на рисунке 9 формирует два символа M -последовательности за один такт синхронизации при помощи двухвходового сумматора по модулю два и элемента задержки на половину периода тактового импульса. Схема на рисунке 10 для этой цели использует двухвходовой мультиплексор, на управляющий вход которого подаются импульсы синхронизации (меандр). Достоинством этой схемы является то, что частота синхронизации может быть произвольной, а не фиксированной как для схемы на рисунке 9.

В данной главе также рассмотрены вопросы трансляции детерминированных и псевдослучайных тестовых наборов по цепи сканирования. Для сокращения времени трансляции детерминированных тестовых наборов предлагается использовать цепь сканирования с возможностью инверсии [26–А]. По сравнению с цепью сканирования на D -триггерах дополнительные аппаратные затраты составят один двухвходовой сумматор по модулю два на каждый разряд цепи сканирования. Метод позволяет сократить время трансляции одного тестового набора как минимум на один такт, что и доказывается в нижеприведенной теореме.

Теорема 5. Для s -разрядной цепи сканирования с возможностью инверсии любой тестовый набор может быть протранслирован за $s - 1$ такт.

Для проверки эффективности предложенного метода были использованы различные схемы из открытого каталога цифровых устройств ISCAS'89 и десятиразрядная цепь сканирования. Тестовые наборы для этих схем получены при помощи программной системы НИТЕС. Результаты моделирования показали, что применение предложенного метода проектирования цепи сканирования позволяет снизить время трансляции детерминированных тестовых наборов в среднем на 10 %.

В четвертой главе рассматриваются вопросы минимизации потребления энергии при самотестировании вычислительных машин и систем, а также методики проектирования средств ВСТ с пониженным потреблением энергии. Потребляемая мощность средств ВСТ определяется формулой

$$P = 1/T \cdot E_0 \cdot WSA_{CL}, \quad (14)$$

где T – период импульса синхронизации,

E_0 – энергия одного переключения,

WSA_{CL} – удельная переключательная активность схемы за один такт синхронизации.

Найдем среднюю переключательную активность LFSR при формировании одного символа псевдослучайной последовательности (WSA_{Tav}). В общем случае вся совокупность узлов LFSR с порождающим полиномом $\varphi(x)$ степени m может быть разделена на четыре подмножества: входы синхронизации ($S_1 = m$), информационные входы триггеров ($S_2 = m$), входы сумматора по модулю два в цепи обратной связи (считаем, что он реализован на двухвходовых

элементах *Исключающее ИЛИ*, тогда $\min S_3 = 2$, $\max S_3 = 2m - 2$) и выход генератора ($S_4 = 1$). На входах синхронизации за один такт синхронизации логический уровень изменяется два раза ($f_S = 2$), на остальных входах вероятность изменения логического уровня равна 0,5 ($f_L = 0,5$), поэтому переключательная активность LFSR за один такт синхронизации будет: $WSA_{CL} = 2,5m + 0,5 + 0,5S_3$. За один такт синхронизации LFSR формирует один символ M-последовательности, поэтому $WSA_T = WSA_{CL} = 2,5m + 0,5 + 0,5S_3$. Учитывая, что в среднем $S_3 = m$, получим

$$WSA_{Tav} = 3m + 0,5. \quad (15)$$

Для примера рассмотрим LFSR с порождающим полиномом $\varphi(x) = x^4 \oplus x \oplus 1$ (рисунок 11). В этом случае $m = 4$, соответственно $S_1 = 4$, $S_2 = 4$, $S_3 = 2$, $S_4 = 1$, поэтому $WSA_{Tav} = 2,5 \cdot 4 + 0,5 + 0,5 \cdot 2 = 11,5$.

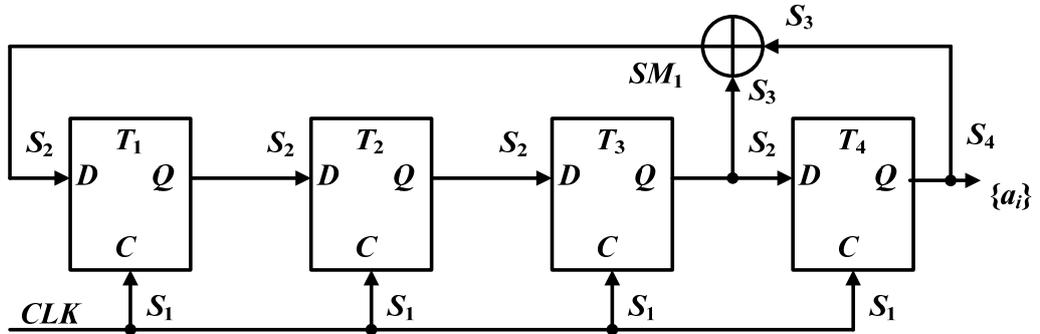


Рисунок 11 – LFSR с полиномом $\varphi(x) = x^4 \oplus x \oplus 1$

Структурная схема генератора, формирующего M-последовательность с удвоенной частотой, представлена на рисунке 12. Он состоит из LFSR, представленного на рисунке 11 (триггеры $T_1 - T_4$, сумматор SM_1), сумматоров по модулю два SM_2 , SM_3 и элемента задержки E .

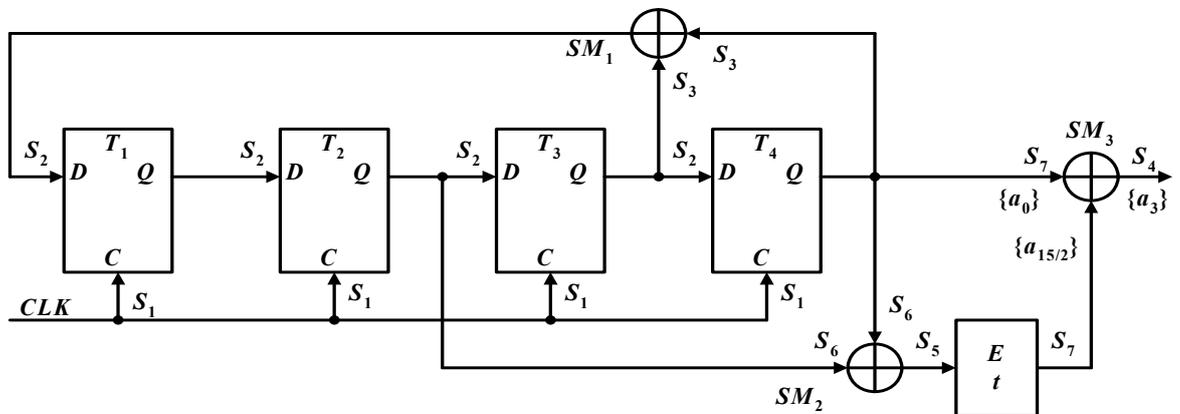


Рисунок 12 – Структурная схема генератора, формирующего два символа M-последовательности за один такт

По сравнению со схемой на рисунке 11 здесь добавилось подмножество S_5 , включающее в себя вход элемента задержки, подмножество S_6 , включающее входы SM_2 , подмножество S_7 , включающее входы выходного сумматора SM_3 . Переключательная активность подмножеств S_5 , S_6 и S_7 такая же, как и у подмножеств S_2 и S_3 , и равна 0,5. Переключательная активность подмножества S_4 в два раза выше, чем у LFSR, и равна единице. Переключательная активность генератора за один такт синхронизации равна $WSA_{CL} = 2S_1 + 0,5S_2 + 0,5S_3 + S_4 + 0,5S_5 + 0,5S_6 + 0,5S_7 = 14,5$. Учитывая, что за один такт синхронизации формируется два символа М-последовательности, получим $WSA_T = WSA_{CL}/2 = 7,25$. Получили, что для формирования одного нового символа требуется в 1,58 раза меньше переключений, чем у LFSR. В общем случае для генератора, формирующего М-последовательность с удвоенной частотой,

$$WSA_{T_{av}} = 1,75m + 1,25. \quad (16)$$

Сравнивая (15) и (16), можно видеть, что переключательная активность генератора, работающего с удвоением частоты, в среднем на 42 % меньше, чем у LFSR, при формировании одной и той же М-последовательности.

В общем случае, при увеличении частоты формирования в d раз

$$WSA_{T_{av}} = (2,5m + d + 0,5kd + 0,5md - 0,5) / d, \quad (17)$$

где k – это коэффициент, учитывающий возрастание переключательной активности многовходового сумматора по модулю два, который находится по следующей формуле

$$k = \lfloor \log_2 d \rfloor + 4(1 - 2^{\lfloor \log_2 d \rfloor} / d). \quad (18)$$

Для оценки эффективности предлагаемого решения сравним работу LFSR и генератора, формирующего d символов псевдослучайной последовательности за один такт синхронизации. Найдем функцию, которая показывает удельную переключательную активность генератора по отношению к LFSR при формировании одного символа псевдослучайной последовательности

$$f(m, d) = \frac{WSA_{T_GEN_av}}{WSA_{T_LFSR_av}} 100 \%, \quad (19)$$

где $WSA_{T_GEN_av}$ – удельная переключательная активность генератора, работающего с удвоением частоты,

$WSA_{T_LFSR_av}$ – удельная переключательная активность LFSR.

На рисунке 13 представлены графики $f(m, d)$ для $d = \overline{2,20}$ при $m=10$ и $m=40$.

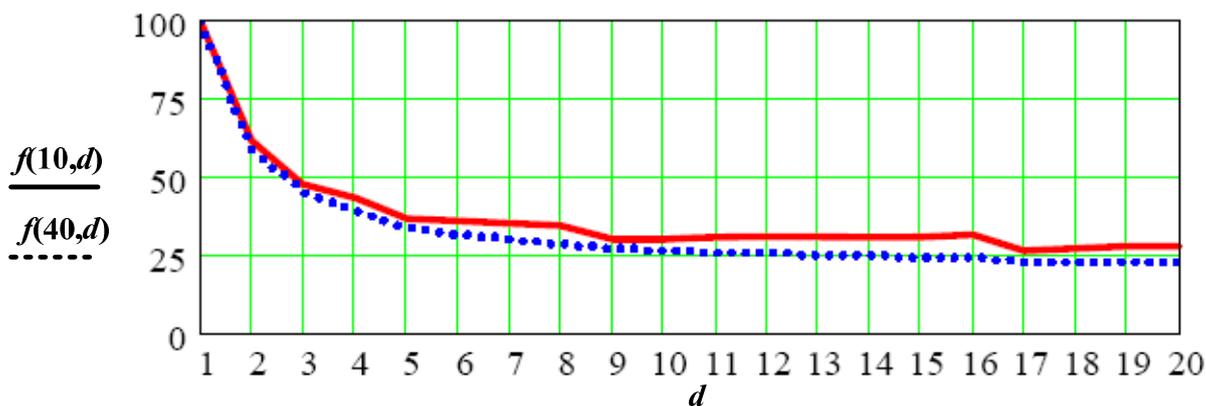


Рисунок 13 – Удельная переключательная активность генератора, формирующего d символов М-последовательности

Анализ графиков показывает, что в среднем при $d = 2$ экономится порядка 40 % энергии, при $d = 4$ – уже 60 %. Дальнейшее увеличение позволяет сэкономить еще 20 %, однако при этом значительно возрастают дополнительные аппаратные затраты за счет появления большого количества многовходовых сумматоров по модулю два. Поэтому для практического применения целесообразно использовать $d = 2, 3, 4$.

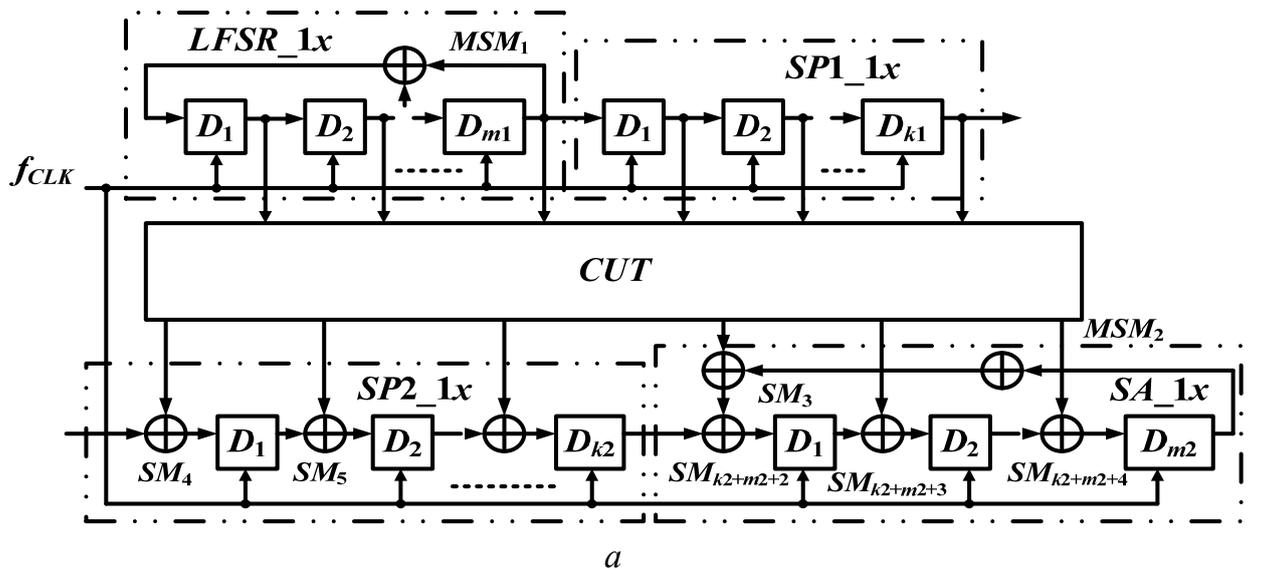
Данный метод был применен для типовой архитектуры «test-per-clock» (рисунок 14, а). Новая архитектура средств самотестирования представлена на рисунке 14, б. Источник тестовых воздействий, состоящий из m_1 -разрядного LFSR ($LFSR_{1x}$) и k_1 -разрядной цепи сканирования ($SP1_{1x}$), заменен на источник тестов TPG_2x (состоящий из $LFSR_{2x}$ и $SP1_{2x}$), формирующий два символа псевдослучайной тестовой последовательности за один такт синхронизации. Соответственно, многоканальный сигнатурный анализатор, состоящий из k_2 -разрядной цепи сканирования ($SP2_{1x}$) и m_2 -разрядного сигнатурного анализатора (SA_{1x}), заменен на схему сжатия MSA_{2x} (состоящую из $SP2_{2x}$ и SA_{2x}), которая за один такт сжимает два символа тестовых реакций.

Для сравнения эффективности предлагаемого решения введем функции

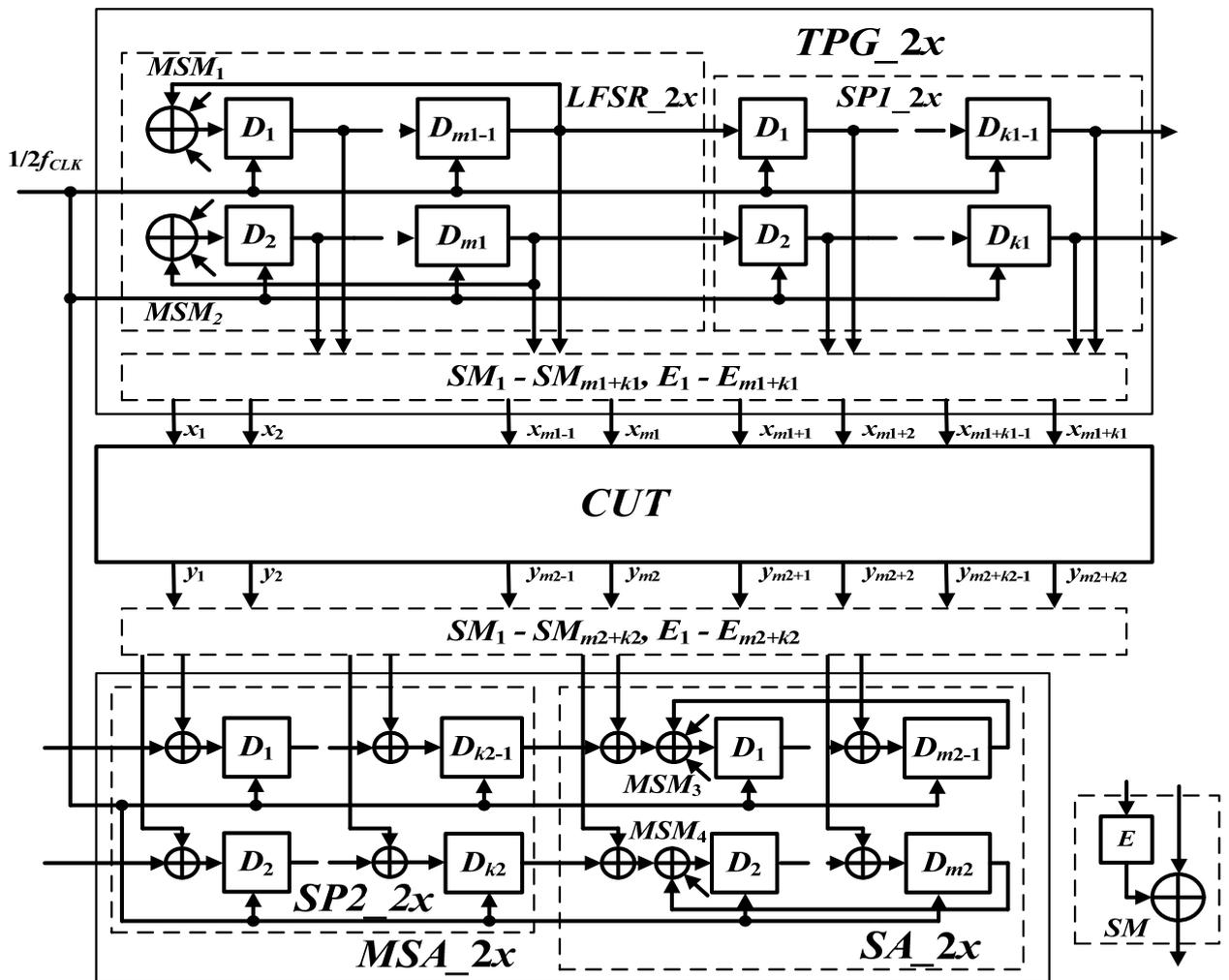
$$f_1(m_1, k_1) = \frac{WSA_{TPG_{2x_{av}}}}{WSA_{TPG_{av}}} 100 \%, \quad (20)$$

$$f_2(m_2, k_2) = \frac{WSA_{MSA_{2x_{av}}}}{WSA_{MSA_{av}}} 100 \%. \quad (21)$$

где $WSA_{TPG_{2x_{av}}}$, $WSA_{MSA_{2x_{av}}}$ – удельная переключательная активность ИТВ и устройства сжатия реакций, работающих с удвоением частоты, $WSA_{TPG_{av}}$, $WSA_{MSA_{av}}$ – удельная переключательная активность ИТВ и устройства сжатия реакций типовой архитектуры самотестирования.



a



b

б

Рисунок 14 – Типовая (а) и новая (б) архитектура «test-per-clock» и схема удвоения частоты (в)

Графики функций для фиксированных значений $m_1 = 5$ и $m_1 = 25$ ($m_2 = 5$ и $m_2 = 25$) при изменяющихся значениях k_1 и k_2 ($k_1 = \overline{2,100}$ и $k_2 = \overline{2,100}$) представлены на рисунке 15.

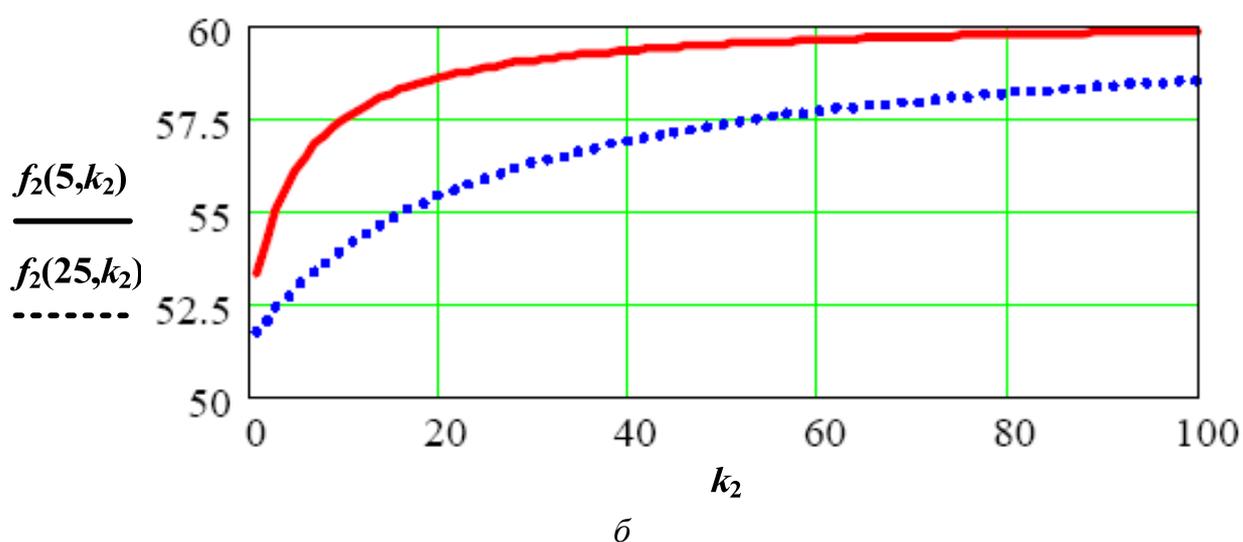
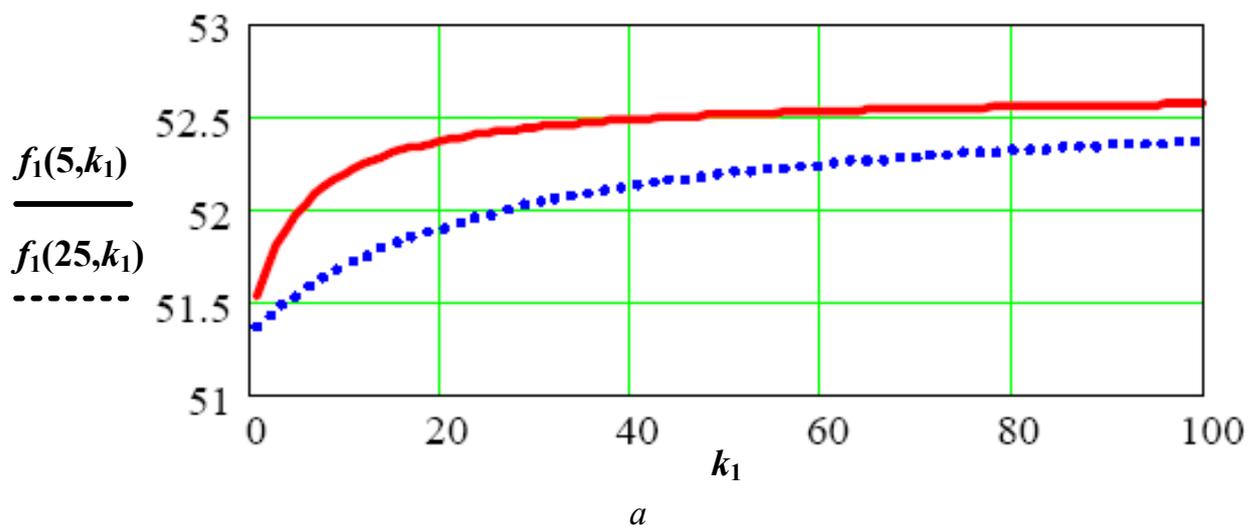


Рисунок 15 – Снижение переключательной активности при генерации тестовых наборов (а) и при сжатии реакций тестируемой схемы (б)

Применение новой архитектуры позволяет снизить удельную переключательную активность при генерации тестовых наборов в среднем на 42–45 %, а при сжатии тестовых реакций – на 40–43 %. Соответственно, снижается и потребляемая при самотестировании мощность.

Следующий метод минимизации энергопотребления средств самотестирования основан на применении T -триггеров вместо традиционно используемых D -триггеров. Ключевая идея метода заключается в запрете внутренних переключений в триггерах, которые не меняют свое состояние в текущем такте работы. Схема преобразования D -триггера в T -триггер представлена на рисунке 16. Отличительной особенностью T -триггера является то, что при наличии логической единицы на T -входе он изменяет свое состояние, а при наличии логического нуля – нет. Поэтому в качестве T -триггера может быть использована следующая схема на основе D -триггера (рисунок 16, а). В таблице 1 приведена переключательная активность D -триггера и T -триггера. Структурная схема

генератора на T -триггерах, работа которого определяется порождающим полиномом $\varphi(x) = x^4 \oplus x^3 \oplus 1$, представлена на рисунке 17. Данный генератор повторяет работу LFSR (рисунок 11) как выборку каждого четвертого состояния [4–А]. При этом на его выходах формируется та же самая M -последовательность, различающаяся только фазовым сдвигом. В общем случае, при использовании примитивного порождающего полинома $\varphi(x)$ и выполнении условия взаимной простоты m и $2^m - 1$ (где $m = \deg \varphi(x)$ – старшая степень порождающего полинома), генератор на T -триггерах формирует M -последовательность, определяемую порождающим полиномом той же самой степени m .

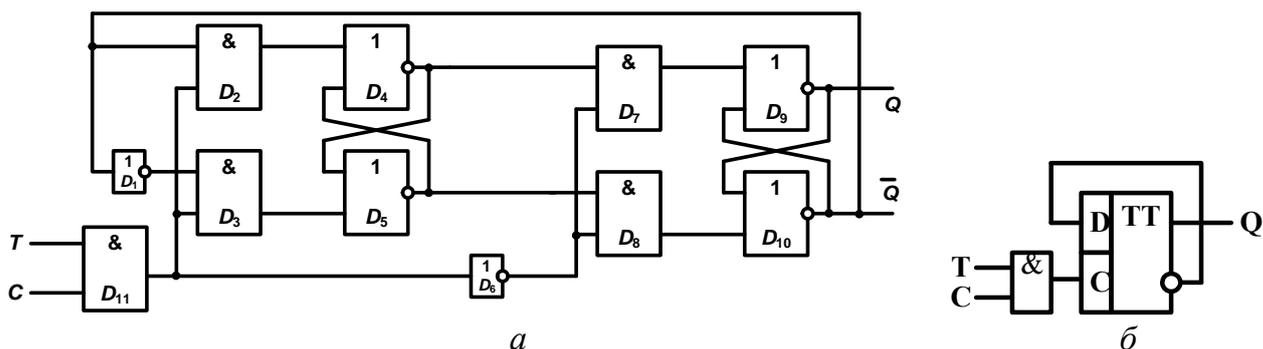


Рисунок 16 – Принципиальная схема T -триггера на основе D -триггера (а) и его функциональное обозначение (б)

Таблица 1 – Переключательная активность D - и T -триггера

Событие	Переключательная активность			
	D -триггер		T -триггер	
	Цепь синхронизации	Цепь данных	Цепь синхронизации	Цепь данных
В текущем такте триггер не изменит свое состояние	10	4	2	0
В текущем такте триггер изменит свое состояние	10	13	12	13
Среднее значение	10	8,5	7	7

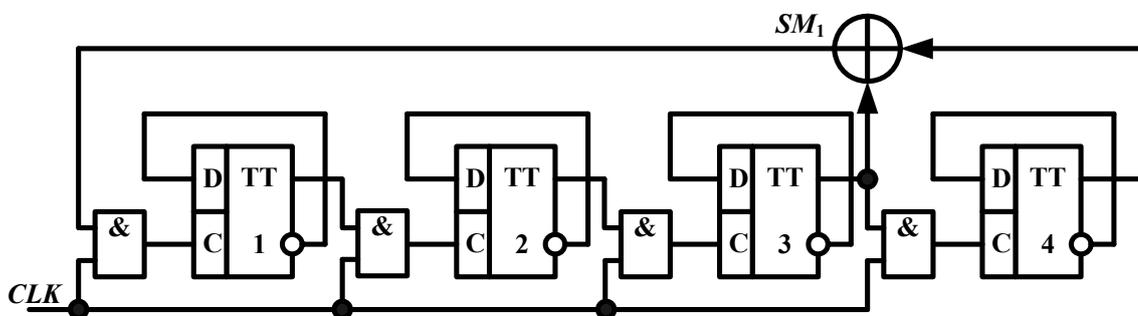


Рисунок 17 – ГПТН на T -триггерах с полиномом $\varphi(x) = x^4 \oplus x^3 \oplus 1$

Применение T -триггера в качестве базового элемента генератора псевдослучайных тестовых наборов и цепи сканирования позволяет примерно на 23 %

снизить переключательную активность средств самотестирования, что в свою очередь, уменьшает потребление энергии и среднюю рассеиваемую мощность при проведении самотестирования. Использование предлагаемого метода не требует модификации тестируемой схемы и библиотечных элементов. Дополнительные аппаратные затраты составляют один двухходовой элемент *И* на каждый триггер, используемый для организации самотестирования.

В этой главе также рассмотрены различные методы минимизации энергопотребления при тестировании цифровых систем. Предложена методика минимизации числа переключений при использовании детерминированных тестовых наборов. Основу методики составляет создание таблицы переключений внутри тестируемой схемы при смене тестового набора. На основании этой таблицы формируется порядок следования тестовых наборов, при котором число переключений будет минимальным.

Тестирование оперативных запоминающих устройств основано на многократном переборе всех адресов с выполнением различных комбинаций операций записи и чтения. В главе представлен анализ основных алгоритмов перебора всех комбинаций, а именно, при помощи двоичного счетчика, счетчика Грея и LFSR с нулевым состоянием. При этом проводился анализ переключательной активности не только генераторов, но и адресных дешифраторов ОЗУ. Результаты анализа представлены в таблице 2.

Таблица 2 – Переключательная активность генераторов адреса и адресных дешифраторов

Число разрядов	ST2		Счетчик Грея		LFSR	
	Генератор адреса	Дешифраторы	Генератор адреса	Дешифраторы	Генератор адреса	Дешифраторы
5	568	2046	650	1056	592	2640
10	$2,86 \cdot 10^4$	$2,1 \cdot 10^6$	$3,12 \cdot 10^4$	$1,05 \cdot 10^6$	$3,68 \cdot 10^4$	$5,2 \cdot 10^6$
15	$1,23 \cdot 10^6$	$2,1 \cdot 10^9$	$1,3 \cdot 10^6$	$1,07 \cdot 10^9$	$1,72 \cdot 10^6$	$8,05 \cdot 10^9$
20	$5,03 \cdot 10^7$	$2,2 \cdot 10^{12}$	$5,3 \cdot 10^7$	$1,1 \cdot 10^{12}$	$7,4 \cdot 10^7$	$1,1 \cdot 10^{13}$

Анализ таблицы показывает, что при одинаковых разрядностях генераторов наименьшую переключательную активность имеет двоичный счетчик, а максимальную – счетчик Грея. С другой стороны, формируемая счетчиком Грея последовательность адресов имеет минимальную переключательную активность. Поэтому при проектировании средств самотестирования предпочтение необходимо отдавать генератору, который позволяет перебрать все адреса ОЗУ с минимальным числом переключений. Оптимальным с этой точки зрения является счетчик Грея.

Пятая глава посвящена практической реализации средств самотестирования. В ней представлены программные средства синтеза основных компонен-

тов архитектуры самотестирования «*test-per-clock*» с пониженным потреблением энергии (рисунок 18). Данные средства позволяют автоматизировать процесс проектирования средств самотестирования, а также получить оценку потребляемой мощности на ранних этапах проектирования. Причем для получения оценки не требуется применение дорогостоящих систем синтеза и моделирования. Проверка корректности работы этих средств была выполнена в системе синтеза цифровых устройств на программируемых схемах ISE 9.2i от Xilinx и в системе оценки InCyte от ChipEstimate.

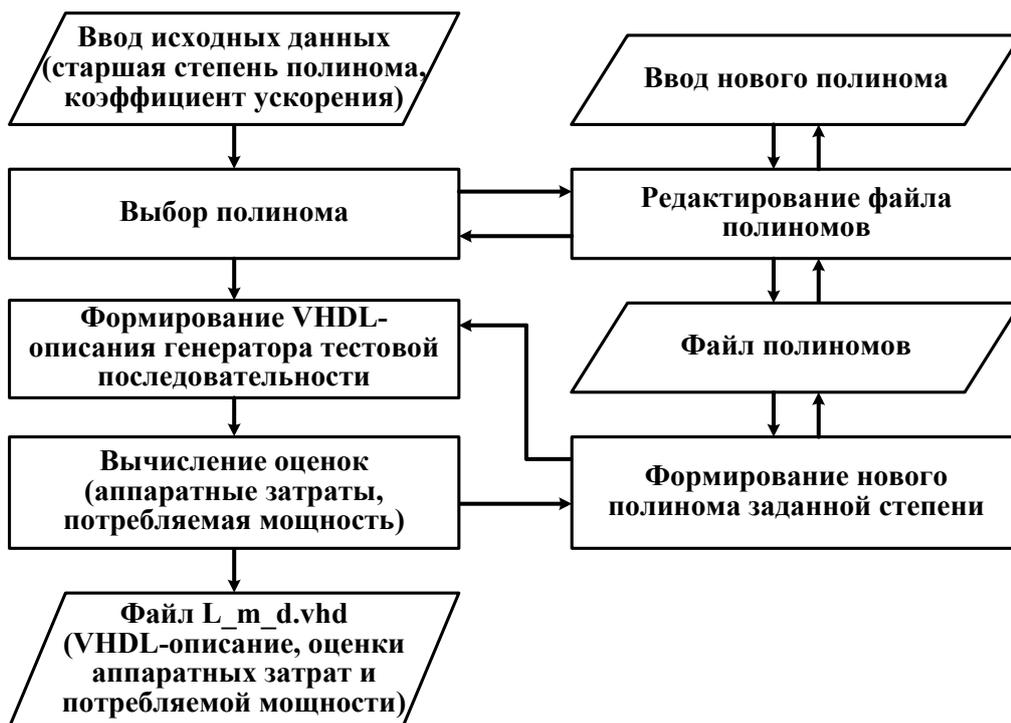


Рисунок 18 – Структурная схема программных средств

Разработан модуль шифрования, который предназначен для безопасного ввода информации в ЭВМ от удаленной клавиатуры. Проведено макетирование модуля на базе однокристальных микроконтроллеров AT89S8252 и AT89C5131 с использованием различных интерфейсов передачи информации – RS-232 и USB. На основании макетов была выполнена отладка программного обеспечения и протоколов обмена. На основании полученной информации было разработано VHDL-описание модуля и выполнен его синтез для FPGA Spartan XC3s1600efg320-5. В модуль шифрования были встроены средства самотестирования на основании стандартной архитектуры и выполнена оценка энергопотребления модуля в рабочем и тестовых режимах. Затем архитектура средств самотестирования была заменена на новую архитектуру, работающую с удвоением частоты, и проведен сравнительный анализ энергопотребления, который показал, что новая архитектура позволяет практически на треть снизить потребление энергии при тестировании.

ЗАКЛЮЧЕНИЕ

Основные научные результаты диссертации

В работе показано, что современные вычислительные системы реализуются на основе СБИС, содержащих сотни миллионов транзисторов, тестирование которых представляет крайне сложную задачу и не может быть выполнено без использования методов тестопригодного проектирования.

Анализ применяемых в настоящее время средств ВСТ показал, что ключевыми элементами любой архитектуры ВСТ являются источник тестовых воздействий, устройство сжатия реакций и цепь (или цепи) сканирования. Характеристики этих элементов определяют основные качественные показатели тестирования – процент покрытия неисправностей, время проведения тестового эксперимента, энергопотребление при тестировании [1–А]. В качестве источника тестовых воздействий наибольшее распространение получил LFSR и его модификации, а в качестве устройства сжатия реакций – сигнатурный анализатор [3–А, 5–А, 8–А, 28–А, 32–А, 40–А, 41–А, 42–А, 43–А]. Причем эти элементы могут быть представлены одной из двух основных архитектур – «*test-per-clock*» или «*test-per-scan*». Кроме того, эти элементы должны обладать известной степенью универсальности для того, чтобы достаточно эффективно работать с различными тестовыми наборами – псевдослучайными, детерминированными и взвешенными.

В качестве основных результатов работы можно выделить:

1. Предложена новая архитектура самотестирования [12–А, 14–А, 16–А, 19–А], которая позволяет снизить тактовую частоту работы средств самотестирования без снижения частоты формирования тестовых наборов и сжатия реакций тестируемой схемы, в результате чего практически в два раза снижается энергопотребление средств самотестирования, что позволяет снизить пик потребления энергии, наблюдаемый при проведении самотестирования. Это позволяет снизить требования к источнику питания и системе охлаждения, а также увеличивает время автономной работы мобильных устройств.

2. Доказаны теоремы о фазовых сдвигах М-последовательностей, формируемых быстродействующим генератором, для случая удвоения частоты [18–А] и произвольного случая [23–А, 24–А]. На основании полученных теоретических результатов разработан метод проектирования генераторов тестов, которые формируют псевдослучайные тестовые воздействия как с частотой тактовых импульсов (один тестовый набор за один такт синхронизации), так и с повышенной частотой (несколько тестовых наборов за один такт синхронизации), что позволяет проводить тестирование на рабочих частотах функцио-

нальных модулей вычислительных систем с различным быстродействием, в результате чего повышается достоверность проведения тестового эксперимента, так как обнаруживаются как статические, так и динамические неисправности [9–А, 10–А, 29–А, 44–А, 46–А].

3. Предложен новый метод, который позволяет снизить переключательную активность основных компонентов архитектур самотестирования – источника тестовых воздействий, анализаторов тестовых реакций и цепей сканирования. Суть метода заключается в замене традиционно используемых *D*-триггеров на *T*-триггера. Это позволяет улучшить качество формируемых псевдослучайных тестовых последовательностей [4–А, 6–А], увеличить минимальную кратность необнаруживаемых ошибок для сигнатурного анализатора [7–А], а также в среднем на 23 % уменьшить энергопотребление средств самотестирования [15–А, 22–А, 26–А].

4. Предложен новый метод проектирования цепи сканирования, отличающийся от используемого возможностью инвертирования содержимого цепи сканирования, который позволяет уменьшить время трансляции детерминированных тестовых наборов в среднем на 10 % [27–А].

5. Предложены методики синтеза источников псевдослучайных тестовых воздействий, которые способны формировать тестовые воздействия с меньшими затратами энергии [13–А, 15–А, 17–А, 30–А, 31–А, 33–А, 36–А, 37–А, 39–А, 45–А]. Показано, что при использовании коэффициента ускорения $d = 2, 3, 4$ снижение энергопотребления практически прямо пропорционально d . Дальнейшее увеличение коэффициента ускорения дает меньший эффект, например при $d = 20$ наблюдается снижение энергопотребления только в десять раз, поэтому с практической точки зрения наиболее эффективно использование коэффициента ускорения от двух до четырех.

6. Предложена методика синтеза сигнатурного анализатора, который за один такт синхронизации сжимает два символа тестовых реакций, что позволяет снизить энергопотребление устройства сжатия тестовых реакций на 40–43 % [21–А, 35–А, 38–А].

7. Разработана методика оценки энергопотребления комбинационных схем, основанная на использовании удельной переключательной активности, которая по сравнению с подходами, основанными на вероятностных характеристиках сигнала, позволяет получить граничное (максимально возможное) значение переключательной активности древовидной логической схемы [1–А, 13–А, 21–А, 25–А, 34–А].

8. Предложена методика проектирования многовходовых логических элементов на основе двухвходовых с минимальной переключательной активностью, которая, в отличие от известных, предназначена для случая, когда смена логических состояний происходит принципиально в различные моменты вре-

мени. Получены граничные оценки переключательной активности древовидных логических элементов, отличающиеся тем, что учитывают случай неодновременности смены логических состояний на всех его входах, что позволило получить схемы многоходовых элементов *И*, *ИЛИ* и сумматора по модулю два с минимальным энергопотреблением [1–А, 20–А, 34–А].

9. Предложен метод минимизации переключательной активности адресных дешифраторов при тестировании ОЗУ, основу которого составляет применение тестовых последовательностей с минимальной переключательной активностью [1–А, 2–А, 11–А, 35–А].

Рекомендации по практическому использованию результатов

Новая архитектура самотестирования позволяет организовать проведение тестирования вычислительных систем с меньшим уровнем потребления энергии и может быть использована при разработке средств самотестирования вычислительных систем.

Методики синтеза генераторов псевдослучайных тестовых наборов и сигнатурных анализаторов, работающих с удвоением (утроением и т.д.) частоты, позволяют проводить тестирование современных вычислительных систем при помощи более медленного тестового оборудования, что удешевляет процесс проектирования.

Программные средства синтеза средств самотестирования с пониженным потреблением энергии могут быть использованы для автоматизации научных исследований. Кроме того, они позволяют получить оценку потребляемой мощности на ранних этапах проектирования. Причем для получения оценки не требуется применение дорогостоящих систем синтеза и моделирования.

Методика оценки энергопотребления комбинационных схем, основанная на использовании удельной переключательной активности, может быть использована в системах автоматизированного проектирования цифровых компонентов вычислительных систем на этапе функционального проектирования для оценки максимально возможного уровня потребления энергии.

Методика проектирования логических схем с минимальной переключательной активностью предназначена для технологической декомпозиции логических элементов и может быть использована на этапе разработки топологии «систем на кристалле» в системах автоматизированного проектирования СБИС.

Список публикаций соискателя

Монографии

1–А. Мурашко, И.А. Методы минимизации энергопотребления при само-тестировании цифровых устройств / И.А. Мурашко, В.Н. Ярмолик. – Минск: Бестпринт, 2004. – 188 с.

2–А. Неразрушающее тестирование запоминающих устройств / В.Н. Ярмолик, И.А. Мурашко, А. Куммерт, А.А. Иванюк. – Минск: Бестпринт, 2005. – 230 с.

Статьи

3–А. Ярмолик, В.Н. Реализация генератора псевдослучайной последовательности на клеточных автоматах / В.Н. Ярмолик, И.А. Мурашко // Автоматика и вычислительная техника. – 1993. – №3. – С.9–13.

4–А. Ярмолик, В.Н. Новый подход к проектированию генератора тестовых наборов для встроенного самотестирования БИС / В.Н. Ярмолик, И.А. Мурашко // Автоматика и вычислительная техника. – 1995.–№6.– С. 25–35.

5–А. Ярмолик, В.Н. Методика проектирования генератора тестовых воздействий, основанного на свойстве децимации М-последовательности / В.Н. Ярмолик, И.А. Мурашко // Автоматика и вычислительная техника. – 1997. – №1. – С. 13–20.

6–А. Ярмолик, В.Н. Анализ и проектирование цепи сканирования для встроенного самотестирования СБИС / В.Н. Ярмолик, И.А. Мурашко, А.М. Шмидман // Микроэлектроника. – 1997. – Т. 26, №5. – С. 350–353.

7–А. Мурашко, И.А. Новый подход к проектированию цепи сканирования для встроенного самотестирования БИС / И.А. Мурашко, В.Н. Ярмолик, А.М. Шмидман // Автоматика и телемеханика. – 1998. – №7. – С. 157–167.

8–А. Малашенко, В.С. Методика нахождения примитивных полиномов для потоковых криптосистем / В.С. Малашенко, И.А. Мурашко // Управление защитой информации. – 1998. – Т. 2, №2. – С. 161–162.

9–А. Ярмолик, В.Н. Быстродействующий генератор для встроенного самотестирования многокристальных модулей / В.Н. Ярмолик, И.А. Мурашко // Автоматика и вычислительная техника. – 1999. – №2. – С. 60–69.

10–А. Мурашко, И.А. Быстродействующий генератор псевдослучайных тестовых наборов / И.А. Мурашко, В.Н. Ярмолик // Микроэлектроника. – 2001. – Т. 30, №1. – С. 68–76.

11–А. Мурашко, И.А. Методика проектирования отказоустойчивых ОЗУ с пониженным энергопотреблением / И.А. Мурашко, В.Н. Ярмолик // Сб. науч. тр. / Объединенный ин-т проблем информатики НАН Беларуси. – Минск, 2003. – Вып. 1: Моделирование интеллектуальных процессов проектирования, произ-

водства и управления / под ред. В.И. Махнача, Е.В. Владимирова. – Минск, 2003. – С. 240–245.

12–А. Ярмолик, В.Н. Методы и средства встроенного самотестирования с пониженным потреблением энергии / В.Н. Ярмолик, И.А. Мурашко // Доклады БГУИР. – 2004. – №1 (5). – С. 102–114.

13–А. Мурашко, И.А. Методика снижения энергопотребления генератора псевдослучайных тестовых наборов для встроенного самотестирования / И.А. Мурашко, В.Н. Ярмолик // Автоматика и телемеханика. – 2004. – Т. 65, №8. – С. 102–114.

14–А. Murashko, I. The Power Consumption Reducing Technique of the Pseudo-Random Test Pattern Generator and the Signature Analyzer for the Built-In Self-Test / I. Murashko, V. Yarmolik, M. Puczko // Вісник Державного університету «Львівська політехніка». Серія «Комп'ютерні системи проектування. Теорія і практика». – 2004. – №501. – С. 47–56.

15–А. Мурашко, И.А. Минимизация энергопотребления ГПТН для встроенного самотестирования / И.А. Мурашко // Доклады БГУИР. – 2004. – №4 (8). – С. 108–114.

16–А. Крипс, М. Новый подход к минимизации рассеиваемой мощности средств встроенного самотестирования / М. Крипс, И. Мурашко // Известия Белорусской инженерной академии. – 2004. – Т. 1 (17), №1. – С. 36–39.

17–А. Мурашко, И.А. Новый подход к минимизации энергопотребления при самотестировании цифровых устройств / И.А. Мурашко, В.Н. Ярмолик // Вести института современных знаний. – 2005. – №4 (25). – С. 117–123.

18–А. Мурашко, И.А. Анализ фазовых сдвигов М-последовательности, формируемой с удвоенной частотой / И.А. Мурашко // Доклады БГУИР. – 2005. – №4 (12). – С. 93–95.

19–А. Мурашко, И.А. Новый подход к проектированию средств встроенного самотестирования с пониженным потреблением энергии / И.А. Мурашко, В.Н. Ярмолик // Информатизация образования. – 2006. – №1 (42). – С. 26–43.

20–А. Мурашко, И.А. Анализ энергопотребления многовходового сумматора по модулю два / И.А. Мурашко // Информатика. – 2006. – №1 (9). – С. 97–103.

21–А. Мурашко, И.А. Источники рассеиваемой мощности цифровых КМОП-схем / И.А. Мурашко // Вестник ГГТУ им. П.О. Сухого. – 2006. – №4. – С. 84–92.

22–А. Puczko, M. Techniki zmniejszania poboru mocy wykorzystywane podczas zbudowanego samotestowania / M. Puczko, I. Murashko // Pomiarzy Automatyka Kontrola. – 2006. – №6 bis. – P. 56–58.

23–А. Мурашко, И.А. Методика проектирования быстродействующего генератора псевдослучайной последовательности максимальной длины / И.А. Мурашко // Информатика. – 2007. – №1 (13). – С. 40–45.

24–А. Мурашко, И.А. Новый подход к проектированию быстродействующего генератора М-последовательности / И.А. Мурашко // Автоматика и вычислительная техника. – 2007. – Т. 41, №2. – С. 42–48.

25–А. Мурашко, И.А. Методы оценки рассеиваемой мощности в цифровых КМОП-схемах / И.А. Мурашко // Доклады БГУИР. – 2007.–№1 (17). – С. 100–108.

26–А. Puczko, M. Zmniejszenie poboru mocy w samotestujących układach cyfrowych / M. Puczko, I. Murashko, W. Yarmolik // Pomiar Automatyka Kontrola. – 2007. – Vol. 53, №7. – P. 3–5.

Материалы конференций

27–А. Ярмолик, В.Н. Инверсия как способ сокращения времени трансляции тестовых наборов по цепи сканирования / В.Н. Ярмолик, А.М. Шмидман, И.А. Мурашко // Автоматизация проектирования дискретных систем: материалы второй междунар. конф., Минск, 12–14 ноября 1997 г.: в 3 т. / Ин-т технич. кибернетики НАН Беларуси; редкол.: А.Д. Закревский [и др.]. – Минск, 1997. – Т. 3. – С. 74–80.

28–А. Мурашко, И.А. Методика вычисления дискретного логарифма / И.А. Мурашко, В.С. Малашенко // Новые технологии в машиностроении и вычислительной технике: труды X науч.-технич. конф. проф.-препод. состава, асп. и студ., Брест, 31 марта – 1 апреля 1998 г.: в 2 ч. / Брест. политех. ин-т; под ред. М.В. Голуба. – Брест, 1998. – Ч. 2. – С. 157–160.

29–А. Murashko, I.A. The High-Speed Pseudo-Random Test Patterns Generator / I.A. Murashko // Information Technologies for Education, Science and Business: Proc. Int. Conf. ITESB'99, Minsk, BSPA, 24–25 June 1999. – Minsk, 1999. – P. 161–163.

30–А. Yarmolik, V. Low Power Consumption LFSR-Based Test Pattern Generator for Scan-Type BIST / V. Yarmolik, I. Murashko // Computer Aided Design of discrete devices (CAD DD'2001): Proc. 4th Int. Conf., Minsk, November 14–16, 2001: in 3 Vol. / Institute of engineering cybernetics: editor A. Zakrevskij. – Minsk, 2001. – Vol. 1. – P. 112–117.

31–А. Мурашко, И.А. Синтез источника тестов с пониженным энергопотреблением для встроенного самотестирования / И.А. Мурашко, В.Н. Ярмолик, // Теория и техника передачи, приема и обработки информации: труды седьмой междунар. науч. конф., Харьков, 1–4 окт. 2001 г. – Харьков: ХТУРЕ, 2001. – С. 291–292.

32–А. Иванюк, А.А. Использование JTAG-технологий для встраиваемых систем / А.А. Иванюк, Ю.В. Климец, Ю.В. Быков, И.А. Мурашко, В.Н. Ярмолик // Информационные сети, системы и технологии: труды VII междунар. Конф. ICINASTE-2001, Минск, 2–4 окт. 2001 г.: в 3 т. / Бел. гос. эконом. ун-т; под ред. А.Н. Морозевича [и др.]. – Минск: БГЭУ, 2001. – Т. 2. – С. 164–169.

33–А. Мурашко, И.А. Минимизация энергопотребления встроенных средств самотестирования / И.А. Мурашко // Новые информационные технологии: материалы V междунар. науч. конф. Минск, 29–31 окт. 2002 г.: в 2 т. / Бел. гос. эконом. ун-т; под ред. А.Н. Морозевича [и др.]. – Минск: БГЭУ, 2002. – Т. 1. – С. 257–262.

34–А. Yarmolik, V. A peak-power estimation for digital circuits design / V. Yarmolik, I. Murashko // Новые информационные технологии: материалы V междунар. науч. конф. Минск, 29–31 окт. 2002 г.: в 2 т. / Бел. гос. эконом. ун-т; под ред. А.Н. Морозевича [и др.]. – Минск: БГЭУ, 2002. – Т. 1. – С. 34–38.

35–А. Мурашко, И.А. Методика минимизации энергопотребления ОЗУ при самотестировании / И.А. Мурашко, В.Н. Ярмолик // Моделирование интеллектуальных процессов проектирования, производства и управления (СІМ'2002): материалы третьей междунар. науч.-технич. конф., Минск, 13–14 ноября 2002 г. / Объединенный ин-т проблем информатики НАН Беларуси; науч. редактор: Е.В. Владимиров. – Минск, 2002. – С. 125–126.

36–А. Murashko, I. The switching Activity minimization for Low Power BIST / I. Murashko, M. Puczko // Computer Information Systems and Industrial Management Applications / Editors K. Saeed [etc]. – Bialystok, Poland. – 2003. – P.218–225.

37–А. Murashko, I. The power consumption reducing technique of the pseudo-random test pattern generator and the signature analyzer for the built-in self-test / I. Murashko, V. Yarmolik, M. Puczko // The Experience of Designing and Application of CAD Systems in Microelectronics: Proc. 7th Int. Conf., Lviv-Slavsko, Ukraine, 18–21 February 2003 / Lviv Polytechnic National University. – Lviv-Slavsko, 2003. – P. 141–144.

38–А. Murashko, I. A switching activity reducing technique for the signature analyzer / I. Murashko, V. Yarmolik // Pattern Recognition and Information Processing (PRIP'2003): Proc. Seventh Int. Conf., Minsk, 21–23 May 2003: in 2 vol. / Belarusian State University; ed. V. Krasnoproshin [etc]. – Minsk: United Institute of Informatics Problem of National Academy of Sciences of Belarus, 2003. – Vol. 1 – P. 134–138.

39–А. Мурашко, И.А. Минимизация рассеиваемой мощности средств встроенного самотестирования / И.А. Мурашко, В.Н. Ярмолик // Автоматизация проектирования дискретных систем (Computer Aided Design of Discrete Devices – CAD DD'04): материалы пятой междунар. конф., Минск, 16–17 ноября

2004 г.: в 2 т. / Объединенный ин-т проблем информатики. – Минск, ОИПИ НАН Беларуси, 2004. – Т. 2. – С. 64–73.

Тезисы докладов

40–А. Мурашко, И.А. Реализация генератора псевдослучайной последовательности на клеточных автоматах с нулевыми граничными условиями / И.А. Мурашко // XLVIII сессия РНТО РЭС им. А.С. Попова – Москва, 1993. – С. 134–135.

41–А. Ярмолик, В.Н. Автоматизация тестирования и диагностики графического процессора / В.Н. Ярмолик, И.А. Мурашко // Теория и методы создания интеллектуальных САПР. – Минск, 1994 – С. 70.

42–А. Малашенко, В.С. Методика диагностики графического процессора / В.С. Малашенко, И.А.Мурашко // Современные проблемы радиотехники, электроники и связи: мат. науч.-технич. конф. к 100-летию радио, Минск, 4–5 мая 1995 г. / Бел. гос. университет информатики и радиоэлектроники. – Минск: БГУИР, 1995. – С. 359.

43–А. Мурашко, И.А. Проектирование генератора M-последовательности на T-триггерах / И.А.Мурашко // Современные проблемы радиотехники, электроники и связи: материалы науч.-технич. конф. к 100-летию радио, Минск, 4–5 мая 1995 г. / Бел. гос. университет информатики и радиоэлектроники. – Минск: БГУИР, 1995. – С. 325.

44–А. Мурашко, И.А. Синтез быстродействующего генератора тестовых воздействий / И.А. Мурашко, В.Н. Ярмолик // Автоматизация проектирования дискретных систем: материалы междунар. конф., Минск, 15–17 ноября 1995 г.: в 3 т. / Белорус. гос. ун-т; редкол.: А. И. Лесникович [и др.]. – Минск: Белгосуниверситет, 1995. – Т. 1 – С. 74.

45–А. Murashko, I. The switching Activity minimization for Low Power BIST / I. Murashko, M. Puczko // Computer Information Systems and Industrial Management Applications (CISIM'03): Proc. Int. Conf., Elk, Poland, 26–28 June 2003. – Elk, 2003. – P. 30.

Авторское свидетельство

46–А. Генератор псевдослучайной последовательности: а.с. 1269241 СССР, МКИ5 Н 03 К 3/84 / В.Н. Ярмолик, И.А. Мурашко; Минский радиотехнический институт. – №3847102/24–21; заявл. 21.01.85; опубл. 07.11.86 // Открытия. Изобрет. – 1986. – № 41. – С. 43.

РЭЗІЮМЭ

Мурашка Игар Аляксандравіч

Метады змяншэння спажывання энергіі пры саматэсціраванні вылічальных сістэм

Ключавыя словы: убудаванае саматэсціраванне, мінімізацыя энергаспажывання, пераключальная актыўнасць, псеўдавыпадковая тэставая паслядоўнасць, крыніца тэстаў, архітэктурна саматэсціравання.

Мэта работы – змяншэнне спажывання энергіі пры саматэсціраванні вылічальных сістэм.

Метады даследавання. У працы выкарыстаны матэматычны апарат тэорыі імавернасці, тэорыі лікаў, тэорыі палёў Галуа, тэорыі кадзіравання. Ацэнка энергаспажывання ажыццяўлялася пры дапамозе матэматычнага і камп'ютэрнага мадэліравання.

Атрыманыя вынікі і іх навізна. Прапанавана новая канцэпцыя фарміравання псеўдавыпадковых тэставых паслядоўнасцей, якая пазваляе зменшыць энергаспажыванне пры саматэсціраванні вылічальных сістэм. Ключавая ідэя заключаецца ў фарміраванні некалькіх сімвалаў тэставай паслядоўнасці за адзін такт сінхранізацыі. Прапанавана новая архітэктурна убудаванага саматэсціравання вылічальных сістэм, якая дазваляе знізіць тактавую частату работы сродкаў саматэсціравання без зніжэння частаты фарміравання тэставых набораў і сціскання тэставых рэакцый, у выніку чаго практычна ў два разы зніжаецца спажыванне энергіі сродкаў убудаванага саматэсціравання. Прапанавана мадыфікацыя тыпавай архітэктуры саматэсціравання «*test-per-clock*», сутнасць якой заключаецца ў забароне сінхранізацыі для тых трыгераў, якія не змяняюць свой стан у бягучым такце работы. Гэта дазваляе зменшыць спажыванне энергіі сродкаў убудаванага саматэсціравання на 23 %. Прапанаваны метадыкі тэхналагічнай дэкампазіцыі шматуваходных лагічных элементаў, якія дазваляюць сінтэзаваць камбінацыйныя схемы з мінімальнай пераключальнай актыўнасцю. У адрозненне ад вядомых, гэтыя метадыкі прызначаны для выпадкаў, калі змена лагічнага стану на уваходах лагічных элементаў адбываецца ў адвольныя моманты часу, што характарызуе максімальна магчымы узровень спажывання энергіі.

Галіна ужывання – аўтаматызацыя праектавання сродкаў саматэсціравання вылічальных сістэм.

Мурашко Игорь Александрович

Методы минимизации потребления энергии при самотестировании вычислительных систем

Ключевые слова: встроенное самотестирование, минимизация энергопотребления, переключательная активность, псевдослучайная тестовая последовательность, источник тестов, архитектура самотестирования.

Цель работы – минимизация потребления энергии при самотестировании вычислительных систем.

Методы исследования. В работе использовался математический аппарат теории вероятностей, теории чисел, теории полей Галуа, теории кодирования. Оценка энергопотребления осуществлялась при помощи математического и компьютерного моделирования.

Полученные результаты и их новизна. Предложена новая концепция формирования псевдослучайных тестовых последовательностей, которая позволяет уменьшить энергопотребление при самотестировании вычислительных систем. Ключевая идея заключается в формировании нескольких символов тестовой последовательности за один такт синхронизации. Предложена новая архитектура встроенного самотестирования вычислительных систем, которая позволяет снизить тактовую частоту работы средств самотестирования без снижения частоты формирования тестовых наборов и сжатия тестовых реакций, в результате чего практически в два раза снижается энергопотребление средств встроенного самотестирования. Предложена модификация типовой архитектуры самотестирования «*test-per-clock*», суть которой заключается в запрете синхронизации для триггеров, состояние которых не меняется в текущем такте работы. Это позволяет уменьшить энергопотребление средств встроенного самотестирования на 23 %. Предложены методики технологической декомпозиции многовходовых логических элементов, которые позволяют синтезировать комбинационные схемы с минимальной переключательной активностью. В отличие от известных данные методики предназначены для случая, когда смена логических состояний на входах логического элемента происходит в различные моменты времени, что характеризует максимально возможный уровень потребления энергии.

Область применения – автоматизация проектирования средств самотестирования вычислительных систем.

SUMMARY

Murashko Igor Aleksandrovich

Methods of power consumption minimization for computer systems under self-test

Keywords: built-in self-test, power consumption minimization, switching activity, pseudorandom test sequence, test source, self-test architecture.

The goal of this work is to achieve low-power self-testing of computer systems.

Research methods: investigations based on probability theory, number theory, theory of Galois fields. Power estimations were obtained using mathematical modelling and computer simulation.

The obtained results and their novelty. A new conception of pseudorandom test sequences generation was proposed. The key idea is based on a design of new structure to generate more than one new pseudorandom bits per one test clock pulse. It allows to achieve low-power self-testing of computer systems. A new built-in self-test architecture was proposed. This architecture allows to reduce clock frequency without reducing test pattern generation frequency and test response analysis frequency. As a result, power consumption of built-in self-test hardware is reduced approximately two times. Modified self-test architecture «*test-per-clock*» was proposed. The main advantage of this architecture is clock disabling for flip-flops, which are not change their state in current clock pulse. It allows to reduce power consumption of built-in self-test hardware to 23 %. A low-power logic gates decomposition technique was proposed. Unlike known methods, proposed approach assumes that all input signals make transition in different time points thereby it allows to take into account maximum possible level of power consumption.

Field of application is computer-aided design of self-test hardware for computer systems.

МУРАШКО ИГОРЬ АЛЕКСАНДРОВИЧ

**МЕТОДЫ МИНИМИЗАЦИИ ПОТРЕБЛЕНИЯ ЭНЕРГИИ
ПРИ САМОТЕСТИРОВАНИИ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ**

Специальность 05.13.15 – Вычислительные машины и системы

**Автореферат диссертации на соискание ученой степени
доктора технических наук**

Подписано в печать	12.05.2008. Формат 60x84 ¹ / ₁₆ .	Бумага офсетная
Гарнитура «Times».	Печать ризографическая.	Усл.печ.л. 2,56
Уч.-изд.л.2,3	Тираж 60 экз.	Заказ 257

Издатель и полиграфическое исполнение: Учреждение образования
«Белорусский государственный университет информатики и радиоэлектроники»
ЛИ № 02330/0056964 от 01.04.2004. ЛП №02330/0131666 от 30.04.2004.
220013, Минск, П.Бровки, 6.