

УДК 681.325

ИСТОЧНИКИ РАССЕИВАЕМОЙ МОЩНОСТИ ЦИФРОВЫХ КМОП-СХЕМ

И. А. МУРАШКО

*Учреждение образования «Белорусский государственный
университет информатики и радиоэлектроники»,
Республика Беларусь*

Введение

В настоящее время вследствие быстрого прогресса в области технологий производства полупроводниковых интегральных схем, в частности, перехода к нанoeлектронным технологиям, возникают новые задачи логического синтеза вычислительных устройств, реализованных на основе данных технологий. Одной из таких задач является разработка методов проектирования отказоустойчивых цифровых устройств с низким энергопотреблением [1]. Актуальность данной задачи определяется следующими основными факторами:

- наличием множества приложений (портативные компьютеры, средства навигации, средства связи, цифровая аудио- и видеотехника), которые должны сочетать высокую надежность и требуемое быстродействие с низким потреблением энергии с целью достижения заданной продолжительности автономной работы;
- необходимостью снижать потребляемую мощность для решения проблемы отвода тепла, так как это определяет массогабаритные показатели устройств;
- необходимостью снижать потребляемую мощность для решения проблемы проведения эффективного тестирования цифровых устройств, при котором значительно возрастает рассеиваемая мощность [2].

Статья организована следующим образом. Во введении показана актуальность проблемы. В первом разделе показано, что для традиционных КМОП-технологий львиную долю рассеиваемой мощности составляет динамическая, которая определяется током заряда/разряда паразитной емкости узла и сквозным током от источника питания к общему проводу в момент изменения логического уровня. Во втором разделе представлены основные подходы, которые позволяют минимизировать рассеиваемую мощность при проектировании цифровых устройств. В третьем разделе рассмотрены методы минимизации рассеиваемой мощности при тестировании цифровых устройств. В заключении показано, что при переходе в субмикронную область значительно возрастает доля статической рассеиваемой мощности.

1. Анализ источников рассеиваемой мощности

Рассеиваемую мощность цифровых схем, выполненных по КМОП-технологии, можно разделить на два вида – динамическую и статическую. Динамическая рассеиваемая мощность возникает в момент переключения схемы из одного логического состояния в другое и определяется двумя основными источниками – токами заряда/разряда паразитных емкостей логических элементов и сквозными токами, которые протекают через логический элемент в момент переключения. Следовательно, она зависит от переключательной активности схемы, т. е. чем выше переключательная активность схемы, тем больше рассеиваемая мощность. При отсутствии переключений динамическая мощность равна нулю. Статическая мощность рассеивается

тогда, когда логический элемент находится в некотором фиксированном логическом состоянии («0» или «1»), и определяется токами утечки канала МОП-транзистора, обратными токами *pn*-переходов и токами внешних выводов ИС.

На рис. 1, *a* приведена принципиальная схема КМОП-инвертора, который состоит из *p*-канального (VT_p) и *n*-канального (VT_n) МОП-транзисторов. Паразитная емкость образуется из емкости входных линий связи C_{in} , емкости выходных линий связи C_{out} и паразитных емкостей транзисторов – C_{GD1} , C_{GD2} , C_{GS1} , C_{GS2} (рис. 1, *б*). Все эти емкости представим в виде эквивалентной переключаемой емкости C_L , расположенной по выходу логического элемента. Переключение элемента в состояние логической «1» соответствует заряду C_L , а переключение элемента в состояние логической «0» соответствует разряду C_L (рис. 1, *в*). При заряде C_L часть энергии от источника питания сохраняется в виде заряда на конденсаторе C_L , другая рассеивается в виде тепла на резисторе R_p . По аналогии, при разряде ток течет через R_n , при этом рассеивается тепло. Значение R_p и R_n определяются сопротивлением открытого канала МОП-транзистора. Обозначим V_{dd} – напряжение источника питания, V_L – амплитуда выходного напряжения, f_L – частота переключений логического уровня. Тогда динамическая мощность может быть найдена [1]:

$$P = C_L V_{dd} V_L f_L . \tag{1}$$

Для КМОП-схем, как правило, $V_L = V_{dd}$, частота переключений логического уровня равна $\frac{1}{2}f$, где f – частота входного сигнала, тогда (1) примет вид:

$$P = \frac{1}{2} C_L V_{dd}^2 f . \tag{2}$$

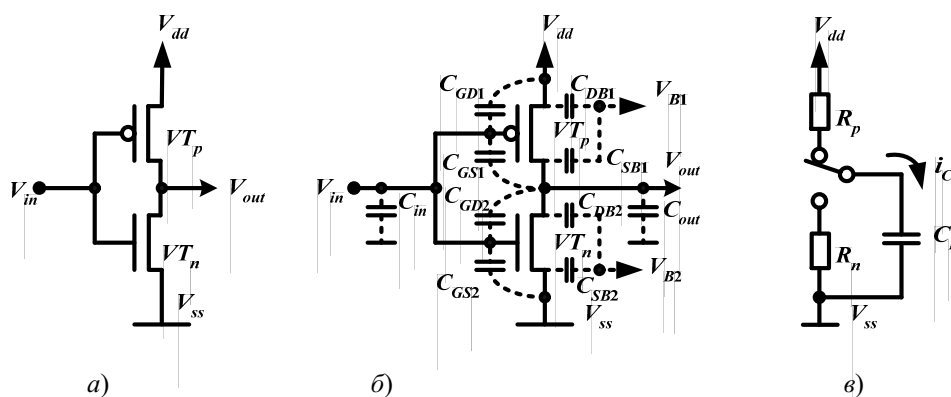


Рис. 1. КМОП-инвертор: *a* – принципиальная схема; *б* – эквивалентная схема для расчета паразитной емкости; *в* – эквивалентная схема для расчета динамической мощности

Вторым по значимости источником динамической рассеиваемой мощности КМОП-схем является сквозной ток через логический элемент при его переключении. Сквозной ток i_{SC} протекает от источника питания V_{dd} к общему проводу V_{ss} в момент переключения комплементарной пары транзисторов (рис. 2). При расчете энергии, потребляемой схемой при переключении («0»-«1»-«0»), примем, что сквозной ток возрастает и убывает линейно. Тогда

$$E_{SC} = V_{dd} \frac{I_{peak} t_{SC}}{2} + V_{dd} \frac{I_{peak} t_{SC}}{2} = V_{dd} I_{peak} t_{SC} , \tag{3}$$

где V_{dd} – напряжение питания; I_{peak} – ток насыщения транзисторов; t_{SC} – время протекания сквозного тока. Обозначим $C_{SC} = \frac{I_{peak} t_{SC}}{V_{dd}}$, тогда

$$P_{SC} = C_{SC} V_{dd}^2 f_L, \quad (4)$$

где f_L – частота переключения входного сигнала; P_{CS} – средняя рассеиваемая мощность. Таким образом, для оценки динамической мощности можно использовать (2), причем для учета сквозного тока параллельно C_L размещается эквивалентная емкость C_{CS} , как это было сделано в [3].

Мощность, рассеиваемая КМОП-схемой вследствие протекания сквозного тока, может составлять 10-60 % от общей динамической мощности. Ее величина зависит от таких параметров, как напряжение отпирания и запираения транзисторов, длительность переднего и заднего фронта входного сигнала, емкости нагрузки, напряжения питания и т.п. Точные выражения для расчета сквозных токов и рассеиваемой мощности представлены в [1]. Отметим основные зависимости значения сквозного тока:

1. Сквозной ток протекает только в момент времени, когда входное напряжение $V_{in} > V_{tn}$ и $V_{in} < V_{tp}$. Соответственно, чем меньше разница между этими значениями, тем меньше сквозной ток.

2. Величина сквозного тока обратно пропорциональна емкости нагрузки, то есть при возрастании емкости нагрузки ток уменьшается.

3. Величина сквозного тока прямо пропорциональна длительности фронтов входного сигнала, то есть чем длиннее фронт, тем больше сквозной ток.

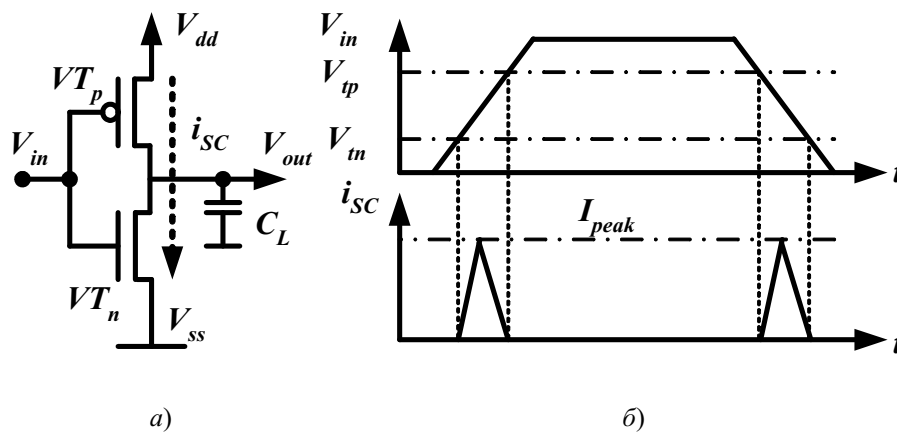


Рис. 2. Протекание сквозного тока через КМОП-инвертор: а – схема инвертора; б – временные диаграммы переключения инвертора

Статическая рассеиваемая мощность определяется тремя основными компонентами – токами утечки каналов МОП-транзисторов, обратными токами pn -переходов и статическими токами элементов. Пусть инвертор на рис. 1, а находится в состоянии логической «1». В этом случае транзистор VT_p открыт, а транзистор VT_n закрыт, поэтому V_{out} равно V_{dd} . На рис. 3, а представлена структура n -канального транзистора VT_n . Хотя транзистор закрыт, ток через него не равен нулю вследствие наличия тока утечки канала транзистора. Величина тока утечки канала составляет единицы пикоампер. Ток утечки экспоненциально зависит от порогового напряжения и линейно зависит от напряжения питания, геометрических размеров транзисторов и топологии схемы, температуры (ток удваивается при повышении температуры на каждые 8–10 °С) и используемой технологии [4].

Вторым источником статической мощности тока утечки является обратный ток pn -переходов, которые формируются между различными областями КМОП-интегральной схемы. Для рассмотренного примера обратный ток возникает между подложкой и истоком. Обратный ток зависит от напряжения питания, используемой технологии изготовления, площади pn -перехода, температуры и напряжения смещения [5]. Как и в предыдущем случае, величина обратного тока составляет, как правило, пикоамперы.

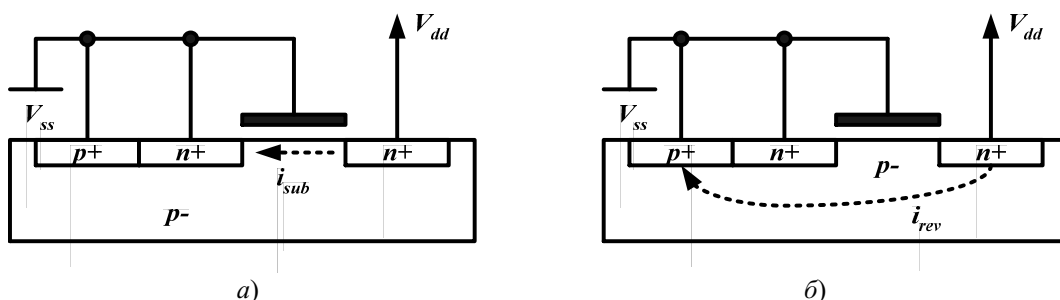


Рис. 3. Токи утечки КМОП-схем: а – ток утечки канала; б – обратный ток pn -перехода

Для учета мощности, рассеиваемой вследствие токов утечки, часто применяют следующее выражение [5]:

$$P_{leak} = V_{dd}NK_dI_{leak}, \tag{5}$$

где V_{dd} – напряжение питания; N – число транзисторов; K_d – эмпирический коэффициент, учитывающий особенности применяемой технологии; I_{leak} – ток утечки одного транзистора.

В некоторых случаях КМОП-схема может потреблять ток и в статическом режиме (рис. 4). Величина тока и, соответственно, рассеиваемая мощность, зависят от логического состояния и сопротивления нагрузки. Например, для схемы «монтажное ИЛИ» (рис. 4, а) ток протекает только в состоянии логического «0». В состоянии логической «1» он равен нулю. Для схем с резистивной нагрузкой (рис. 4, б) и схем ячеек памяти (рис. 4, в) ток протекает как в состоянии логического нуля, так и в состоянии логической единицы. В общем случае рассеиваемая мощность, определяемая постоянным током, определяется выражением:

$$P_{stat} = U_{dd}I_{stat}. \tag{6}$$

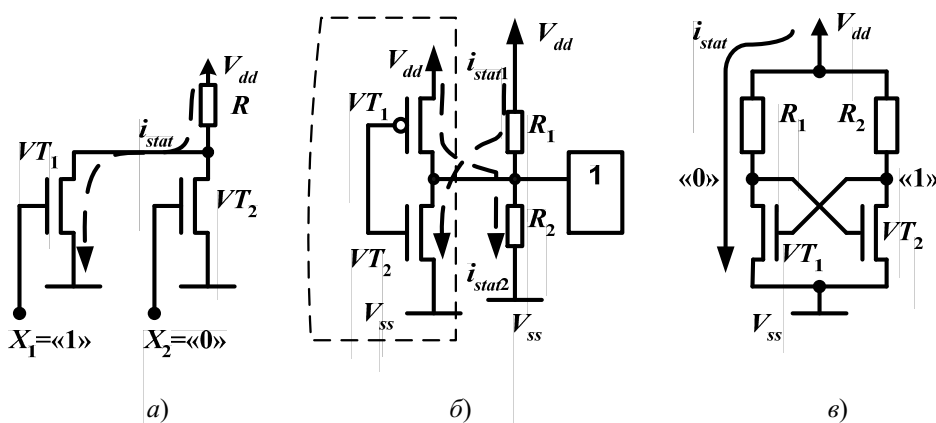


Рис. 4. Статические токи КМОП-схем: а – схема «Монтажное ИЛИ»; б – резистивная нагрузка выхода; в – схема ячейки памяти

Суммарное значение статических токов, как правило, в миллионы раз меньше, чем динамических токов, поэтому при расчете рассеиваемой мощности КМОП-схем малой и средней интеграции их, как правило, не учитывают. Однако для СБИС, содержащих миллионы транзисторов (высокопроизводительные процессоры, память большого объема, сложные «системы-на кристалле» и т. п.), статическая мощность имеет тот же порядок, что и динамическая.

2. Методы минимизации рассеиваемой мощности при проектировании цифровых устройств

Для традиционных КМОП-технологий (минимальные размеры элементов не переходят в субмикронную область) львиную долю рассеиваемой мощности составляет динамическая, которая определяется выражением (1). Снижение любого параметра – напряжения питания, напряжения переключения, перезаряжаемой емкости или частоты переключения – приводит к снижению рассеиваемой мощности.

Традиционно наибольшее внимание ученых направлено на снижение напряжения питания. Это связано с тем, что для большинства КМОП-схем напряжение питания равно переключаемому напряжению. Поэтому между динамической рассеиваемой мощностью и напряжением питания получается квадратичная зависимость. Кроме того, при уменьшении напряжения питания уменьшается и статическая мощность.

Как показано в [6], время задержки распространения сигнала t_d через МОП-транзистор определяется выражением:

$$t_d = \frac{C_L \cdot V_{dd}}{(V_{dd} - V_{th})^\alpha}, \quad (7)$$

где C_L – переключаемая емкость, V_{dd} – напряжение питания, V_{th} – пороговое напряжение, α – эмпирическая константа. Таким образом, уменьшение напряжения питания при сохранении на постоянном уровне порогового напряжения приводит к возрастанию времени переключения транзистора, что отрицательно сказывается на быстродействии схемы. С другой стороны, уменьшение порогового напряжения приводит к значительному возрастанию токов утечки канала. Максимальное снижение общей рассеиваемой мощности наблюдается в том случае, когда мощность, определяемая токами утечки, имеет тот же порядок, что и динамическая мощность [7]. Например, для 0,13 мкм технологии минимум рассеиваемой мощности без потери производительности наблюдается при $V_{dd} = 1,5$ В, $V_{th} = 0,15$ В, $T = 125$ °С.

Следующим неблагоприятным фактором уменьшения напряжения питания является снижение помехоустойчивости, т. к. уменьшается разница между логическими уровнями. Кроме того, изменение логических уровней требует применения специальных преобразователей уровней для стыковки СБИС со стандартной логикой. В современных СБИС используется, как правило, два напряжения питания – одно для питания ядра (0,9–1,7 В), а второе для питания обрамления (2,5 или 3,3 В). Альтернативным подходом является снижение переключаемого напряжения. То есть заряд/разряд конденсатора происходит не на величину напряжения питания V_{dd} , а на некоторую его часть, например от $1/3 V_{dd}$ до $2/3 V_{dd}$. При этом не теряется быстродействие, не требуются преобразователи уровня. Помехоустойчивость снижается из-за уменьшения разницы в логических уровнях. В отличие от предыдущего подхода, мощность, рассеиваемая вследствие протекания статического тока, не уменьшается.

Для работы цифровых схем конденсаторы не нужны. Емкость формируется за счет паразитных емкостей *pn*-переходов, паразитных емкостей линий связи и т. п.

Совсем избавиться от этих емкостей невозможно, поэтому при проектировании СБИС стремятся минимизировать их величины. При этом используются различные подходы, такие как уменьшение геометрических размеров элементов, уменьшение длины линий связи, оптимизация размещения компонентов и линий связи, применение новых материалов и технологий изготовления и т. п. Кроме того, для минимизации величины сквозного тока, который учитывается в виде дополнительной емкости C_{CS} на основании (5), стремятся использовать быстродействующие транзисторы, которые работают на минимально возможной частоте. Это позволяет уменьшить длительность фронтов сигнала, соответственно, уменьшается и сквозной ток.

Следующей компонентой динамической мощности является частота переключения, поэтому ее снижение также приводит к снижению рассеиваемой мощности. Однако при этом происходит конфликт с требованиями по производительности. Для устранения конфликта применяют различные подходы. Во-первых, при проектировании новых устройств приоритет отдается таким решениям, которые предъявляют пониженные требования к рабочей частоте функциональных компонентов. Во-вторых, для снижения тактовой частоты стремятся применять параллельное выполнение операций на конвейере. В-третьих, применяют различные схемы запрета синхронизации для неиспользуемых функциональных модулей и для модулей или компонентов, информация в которых не изменяется в данный момент. Например, при проведении целочисленных вычислений не используются узлы сопроцессора, которые предназначены для вычислений с плавающей запятой, поэтому на эти узлы в данный момент синхронизация не подается.

При проектировании цифровых устройств с минимальным потреблением энергии в качестве оценки используют, как правило, произведение переключаемой емкости на частоту переключения – так называемую переключающую активность. Существует множество решений – технологических, схемотехнических, алгоритмических и т. п., которые позволяют минимизировать этот параметр. Во-первых, для узлов с большой емкостью стремятся минимизировать частоту переключения. Для узлов с высокой частотой переключения стремятся минимизировать переключаемую емкость. Во-вторых, применяют эквивалентные преобразования схемы для минимизации переключающей активности. Например, семивходовой элемент И может быть реализован на шести двухвходовых элементах И, двух четырехвходовых элементах и т. д. [8]. В-третьих, используют специальные методы кодирования данных, которые позволяют минимизировать переключающую активность при работе схемы. Например, для перебора всех адресов памяти при использовании счетчика Грея в качестве генератора адреса требуется только 2^n переключений, тогда как использование двоичного счетчика потребует $2^{n+1}-2$ переключений [9].

Узким местом, которое ограничивает увеличение производительности микропроцессоров и «систем-на кристалле», является цепь синхронизации. Импульсы синхронизации должны поступать на все узлы цифрового устройства, следовательно, линии синхронизации имеют большую длину и, как следствие, большие сопротивление и емкость. Поэтому высокая частота работы, большое сопротивление и большая емкость линий связи приводят к тому, что в цепях синхронизации рассеивается до 50 % от общей мощности. Как решение предлагается замена металлических проводников оптическими линиями передачи тактовых импульсов на кристалле. В [10] показано, что для технологии 70 нм применение оптических линий связи позволяет в 5 раз снизить рассеиваемую мощность в цепи синхронизации.

3. Методы минимизации рассеиваемой мощности при самотестировании цифровых устройств

Реализация встроенного самотестирования (ВСТ) значительно снижает стоимость и повышает процент покрытия неисправностей, так как проверка может производиться на рабочих частотах и не требуется внешнего тестового оборудования, стоимость которого, как правило, во много раз выше, чем стоимость самих устройств. Тем не менее, использование ВСТ значительно увеличивает рассеиваемую мощность при тестировании по сравнению с нормальным режимом работы. Это вызвано следующими причинами. Во-первых, эффективность тестирования прямо пропорциональна переключательной активности тестируемой схемы. Во-вторых, для уменьшения времени проверки работоспособности используется параллельное тестирование, при котором происходит значительное увеличение рассеиваемой мощности. В-третьих, реализация ВСТ требует использования дополнительных аппаратных средств, которые в тестовом режиме используются очень интенсивно, что приводит к дополнительному увеличению рассеиваемой мощности. Рассмотрим основные подходы к снижению уровня потребления энергии, а также средней и пиковой рассеиваемой мощности во время тестирования цифровых устройств.

1. Структурные методы минимизации, которые направлены на применения оптимальных с точки зрения потребления энергии и/или рассеиваемой мощности архитектур встроенного самотестирования, а также последовательности проведения тестового эксперимента. Среди этих методов можно выделить распределенное встроенное самотестирование [3], которое предполагает проведение сеанса самотестирования в несколько сессий. Основной целью является определение модулей и блоков, которые могут тестироваться параллельно в каждой сессии ВСТ, а также количества сессий ВСТ для уменьшения средней мощности. С другой стороны, увеличивается общее время проведения ВСТ. Суммарная потребляемая энергия не уменьшается, а в некоторых случаях возрастает, что не решает проблему времени автономной работы мобильных устройств.

2. Минимизация переключательной активности тестируемой схемы при проведении тестирования. Среди этих подходов можно выделить фильтрацию тестовых наборов по некоторому критерию (количество покрываемых неисправностей, число переключений в тестируемой схеме и т. п.) [11]. Другим направлением является разработка генераторов тестовых наборов с уменьшенной переключательной активностью формируемых тестовых последовательностей [12]. Это позволяет уменьшить переключательную активность на входах тестируемой схемы, что приводит к снижению переключательной активности внутри тестируемой схемы.

3. Подходы, ориентированные на использование средств ВСТ со сканированием. В [13] предложена идея запрета импульсов синхронизации для снижения рассеиваемой мощности. В [14] авторы предлагают использовать дополнительные схемы для блокирования переключений в комбинационной части при сканировании. Данный подход позволяет ограничивать распространение рассеиваемой мощности при тестировании только цепью сканирования. В [15] предлагаются методы снижения тестовой рассеиваемой мощности за счет изменения порядка следования сканируемых триггеров или порядка следования импульсов тестовой последовательности. В [16] предлагается новая методика, использующая многоканальные цепи сканирования. Методика основывается на новой архитектуре средств ВСТ и новой стратегии приложения тестов, которые позволяют значительно уменьшить число паразитных переключений в тестируемой схеме при сдвиге тестовой информации.

4. Средства встроенного самотестирования с пониженным потреблением энергии. В [17] предлагается использовать T -триггера для снижения переключательной

активности источника тестовых воздействий. В [18] предлагается новый подход к проектированию средств ВСТ с уменьшенной переключательной активностью. Основная идея подхода заключается в снижении частоты синхронизации средств ВСТ без снижения скорости формирования тестовых наборов и сжатия реакций тестируемой схемы. Теоретическое обоснование данного подхода представлено в [19].

Заключение

Дальнейшее совершенствование технологии производства СБИС и уменьшение геометрических размеров элементов приводит к изменению влияния различных источников на суммарное значение рассеиваемой мощности. Так, при переходе в субмикронную область значительно возрастает доля статической мощности, которая в основном определяется токами утечки и обратными токами *pn*-переходов. Если для технологии 1,0 мкм при напряжении питания 3,3 В доля статической мощности составляла всего 0,01 %, то для технологии 0,13 мкм и напряжении питания 1,3 В она возрастает до 10 %. При дальнейшем уменьшении геометрических размеров элементов доля статической мощности еще больше возрастает и для технологии 0,07 мкм при напряжении питания около 1,0 В она достигает 50 %.

Литература

1. Roy K., Prasad S.C. Low Power CMOS VLSI Circuit Design. – New York : John Wiley and Sons, Inc., 2000. – 376 p.
2. Zorian Y. A Distributed BIST Control Scheme for Complex VLSI Dissipation // Proceedings 11th IEEE VLSI Test Symposium (VTS'93), Princeton, NJ, April 6–8, 1993. – IEEE Computer Society Press, 1993. – P. 4–9.
3. Turgis S., Azemard N., Auvergne D. Explicit Evolution of Short Circuit Power Dissipation for CMOS logic Structures // Proc. ISLPD 95. – P. 129–134.
4. Chen Z., Wei L., Johnson M., Roy K. Estimation of Standby Leakage Power in CMOS Circuits Considering Accurate Modeling of Transistor Stacks // Proc. Int. Symp. on Low Power Electronics and Design. 1998. – P. 239 – 244.
5. Butts J.A., Sohi G.S., A Static Power Model for Architects // Proc. 33 ACM/IEEE Int. Symp. on Microarchitecture, Monterey, California, US, December 2000. – P. 191–201.
6. Sakurai T., Newton A. R. Alpha-power law MOSFET model and its applications to CMOS inverter delay and other formulas. // IEEE J. Solid-State Circuits. – V. 25. – Apr. 1990. – P. 584–594.
7. Ultra low-Power Electronics and Design / Edited by Macii E. – Dordrecht: Kluwer Academic Publisher, 2004. – 273 p.
8. Yarmolik V., Murashko I. A peak-power estimation for digital circuits design // Fifth Int. Conf. «New Information Technologies» October 29–31, 2002. – Minsk : BSEU, 2002. – P. 34–38.
9. Мурашко, И. А. Методика проектирования отказоустойчивых ОЗУ с пониженным энергопотреблением / И. А. Мурашко, В. Н. Ярмолик // Моделирование интеллектуальных процессов проектирования, производства и управления : сб. науч. ст. / под ред. В. И. Махнача, Е. В. Владимирова. – Минск : ОИПИ НАН Беларуси, 2003. – С. 240–245.
10. Tosik G., Gaffiot F., Lisik Z., O'Connor I., Tissafi-Drissi F. Power dissipation in optical and metallic clock distribution networks in new VLSI technologies // Electronics Letters. – V. 4. – № 3. – 5 February 2004. – P. 198–200.

11. Manich et al. Low Power BIST by Filtering Non-Detecting Vectors // Journal of Electronic Testing: Theory and Applications. – V.16. – № 3. – June 2000. – P. 193–202.
12. Wang S., Gupta S.K. DS-LFSR: A New BIST TPG for Low Heat Dissipation // Proc. IEEE Int. Test Conference, November 1997. – P. 848–857.
13. Sankaralingam R., Pouya B., Toubia N. A. Reducing power dissipation during test using scan chain disable // Proc. IEEE VLSI Test Symposium, 2001. – P. 319–324.
14. Gerstendofer S., Wunderlich H. J. Minimized power consumption for scan-based BIST // Proc. IEEE Int. Test Conference, 1999. – P. 77–84.
15. Bonhomme Y., Girard P., Landrault C., Pravossoudovitch S. Power driven chaining of flip-flops in scan architectures // Proc. IEEE Int. Test Conference, 2002. –P. 796–803.
16. Nicolici N., Al-Hashimi B. M. Multiple scan chains for power minimization during testing application in sequential circuits // IEEE Trans. on Computers.–V. 51.–№ 6.–2002.–P. 721–734.
17. Мурашко, И. А. Минимизация рассеиваемой мощности средств встроенного самотестирования / И. А. Мурашко, В. Н. Яролик // материалы 5-й МНК «Автоматизация проектирования дискретных устройств» (CAD DD'04). – Минск : ОИПИ НАН Беларуси. – Т. 2. – С. 64–73.
18. Мурашко, И. А. Новый подход к минимизации энергопотребления при самотестировании цифровых устройств / И. А. Мурашко, В. Н. Яролик // Вести института современных знаний. – 2005. – № 4 (25). – С. 117–123.
19. Мурашко, И. А. Методы минимизации энергопотребления при самотестировании цифровых устройств (монография) / И. А. Мурашко, В. Н. Яролик. – Минск : Бестпринт, 2004. – 188 с.

Получено 13.04.2006 г.