

Министерство образования Республики Беларусь

Учреждение образования
«Гомельский государственный технический
университет имени П. О. Сухого»

Кафедра «Промышленная электроника»

Е. А. Храбров, Н. А. Красовская

ЦИФРОВАЯ ЭЛЕКТРОНИКА

**ЛАБОРАТОРНЫЙ ПРАКТИКУМ
по одноименному курсу для студентов
специальности 1-36 04 02 «Промышленная
электроника» дневной и заочной форм обучения
Часть 3**

Гомель 2009

УДК 621.382.049.77(075.8)
ББК 32.847я73
Х88

*Рекомендовано научно-методическим советом
факультета автоматизированных и информационных систем
ГГТУ им. П. О. Сухого
(протокол № 7 от 10.03.2008 г.)*

Рецензент: канд. техн. наук, доц. каф. «Автоматизированный электропривод»
ГГТУ им. П. О. Сухого *М. Н. Погуляев*

Храбров, Е. А.
Х88 Цифровая электроника : лаборатор. практикум по одноим. курсу для студентов специальности 1-36 04 02 «Промышленная электроника» днев. и заоч. форм обучения. Ч. 3 / Е. А. Храбров, Н. А. Красовская. – Гомель : ГГТУ им. П. О. Сухого, 2009. – 54 с. – Систем. требования: PC не ниже Intel Celeron 300 МГц ; 32 Mb RAM ; свободное место на HDD 16 Mb ; Windows 98 и выше ; Adobe Acrobat Reader. – Режим доступа: <http://lib.gstu.local>. – Загл. с титул. экрана.

Содержит сведения о цифровых микросхемах малой степени интеграции, их схемотехнике, основных параметрах и характеристиках.

Для студентов специальности 1-36 04 02 «Промышленная электроника» дневной и заочной форм обучения.

УДК 621.382.049.77(075.8)
ББК 32.847я73

© Учреждение образования «Гомельский
государственный технический университет
имени П. О. Сухого», 2009

Лабораторная работа № 11

ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ - ДЕМУЛЬТИПЛЕКСОРОВ

Цель работы: изучить принцип построения дешифраторов - демультиплексоров на логических элементах и особенности применения микросхем дешифраторов - демультиплексоров.

1. Основные теоретические сведения

Дешифратор (*decoder*) - это кодирующее устройство, преобразующее двоичный код в унарный. Из всех m выходов дешифратора активный уровень имеется на одном выходе, а именно на том, номер которого равен поданному на вход двоичному числу. Если дешифратор имеет n входов, m выходов и использует все возможные комбинации входных переменных, то количество входов и выходов связано формулой:

$$m = 2^n.$$

Такой дешифратор называется полным.

Неполный дешифратор имеет меньшее число выходов:

$$m < 2^n.$$

Входы дешифратора, называемые адресными входами, нумеруют в соответствии с весами двоичных разрядов 1, 2, 4, 8.. и т. д.

Типы дешифраторов 2-4 (два в четыре), 3-8, 4-16, 4-10 (неполный дешифратор).

На рисунке 1 приведен пример условного обозначения дешифратора (3-8) имеющего разрешающий вход E (*ENABLE*).

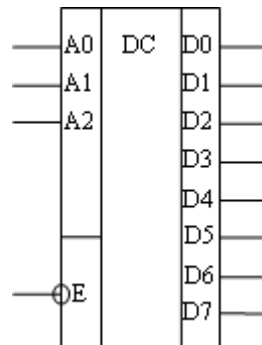


Рис.1. Обозначение дешифратора (3-8) имеющего разрешающий вход E .

Таблица 1
Таблица состояний дешифратора 3–8

E	A2	A1	A0	D0	D1	D2	D3	D4	D5	D6	D7
0	0	0	0	1	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1
1	x	x	X	0	0	0	0	0	0	0	0

Составленные по таблице состояний булевы выражения для выходных функций, позволяют реализовать схему линейного дешифратора на элементах И.

Булевы выражения выходных функций дешифратора 2-4:

$$D0 = \overline{A1} \cdot \overline{A0}$$

$$D1 = \overline{A1} \cdot A0$$

$$D2 = A1 \cdot \overline{A0}$$

$$D3 = A1 \cdot A0$$

На рисунке 2 приведен пример схемы линейного дешифратора 2-4 на логических элементах И.

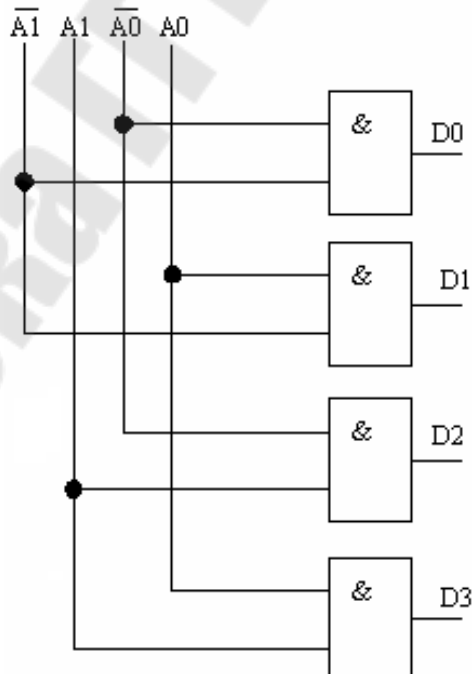


Рис.2. Схема линейного дешифратора 2 - 4 на логических элементах И

Используя 1-й постулат Де Моргана, линейный дешифратор можно построить на логических элементах ИЛИ.

Булевы выражения выходных функций дешифратора 2 - 4 с инверсными выходами:

$$\begin{aligned} \overline{D0} &= \overline{\overline{A1} \cdot \overline{A0}} = A1 + A0 \\ \overline{D1} &= \overline{A1 \cdot A0} = A1 + \overline{A0} \\ \overline{D2} &= \overline{A1 \cdot A0} = \overline{A1} + A0 \\ \overline{D3} &= \overline{\overline{A1} \cdot A0} = \overline{A1} + \overline{A0} \end{aligned}$$

На рисунке 3 приведен пример схемы линейного дешифратора 2-4 на логических элементах ИЛИ.

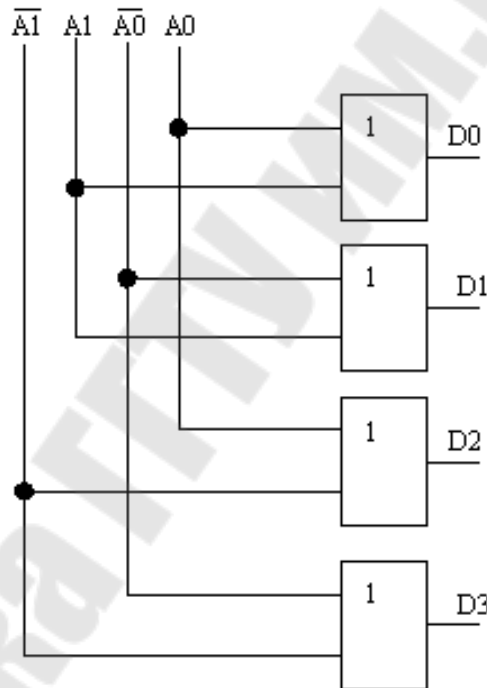


Рис.3. Схемы линейного дешифратора 2 - 4 на логических элементах ИЛИ

Существует два способа образования разрешающего входа E :

Первый способ - увеличение числа входов логических элементов на единицу и объединение этих дополнительных входов. При этом для дешифратора на элементах И образуется прямой разрешающий вход, а для дешифратора на элементах ИЛИ - инверсный.

На рисунке 4 приведена схема образования разрешающего входа за счет увеличения числа входов логических элементов.

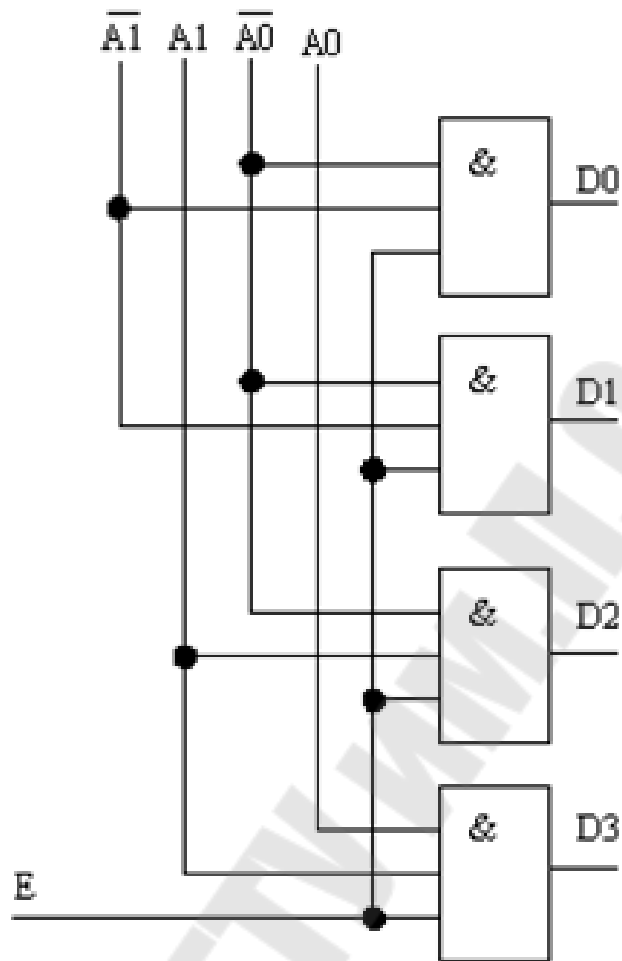


Рис.4. Пример образования разрешающего входа за счет увеличения числа входов логических элементов.

Второй способ - управление по одной из переменных. Используется то обстоятельство, что на всех логических элементах, образующих дешифратор, обязательно имеется переменная или ее дополнение любого разряда кода адреса. Если сделать поступление переменной и ее дополнения одного из разрядов зависимым от разрешения E , то тем самым создается условие образования разрешающего входа. На рисунке 5 приведен пример схемы образования разрешающего входа за счет управления одной из переменных.

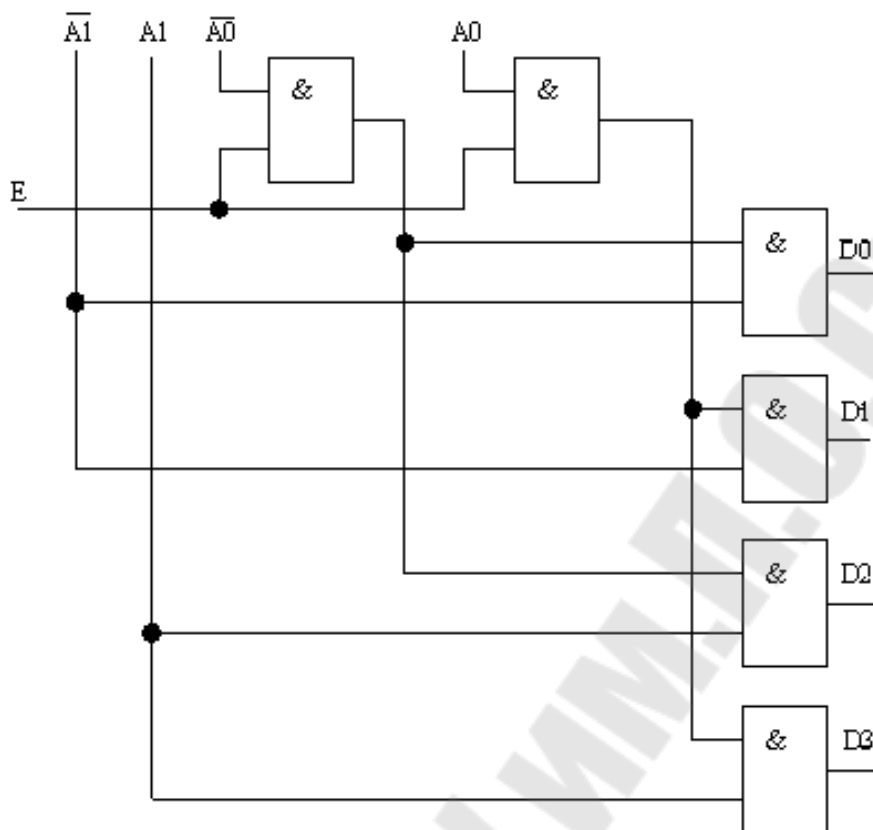


Рис.5. Пример образования разрешающего входа за счет управления одной из переменных.

В лабораторной работе исследуются микросхемы дешифраторов - мультиплексоров К155ИД4 и К155ИД7.

Микросхема К155ИД4 представляет собой два дешифратора типа 2-4, каждый из которых имеет по два разрешающих входа. Адресные входы обоих дешифраторов общие. Образование разрешающего входа выполнено по первому способу, т.е. добавление одного дополнительного входа логического элемента. Наличие двух разрешающих входов для каждого дешифратора позволяет объединением входов разных дешифраторов образовывать из двух дешифраторов 2-4 один дешифратор 3-8 с разрешающим входом. В лабораторной работе необходимо самостоятельно, на основании рассмотренных способов построения дешифраторов и образования разрешающего входа, получить схему дешифратора - демультиплексора 3-8 на микросхеме К155ИД4.

На рисунке 6 приведена структурная схема дешифратора К155ИД4.

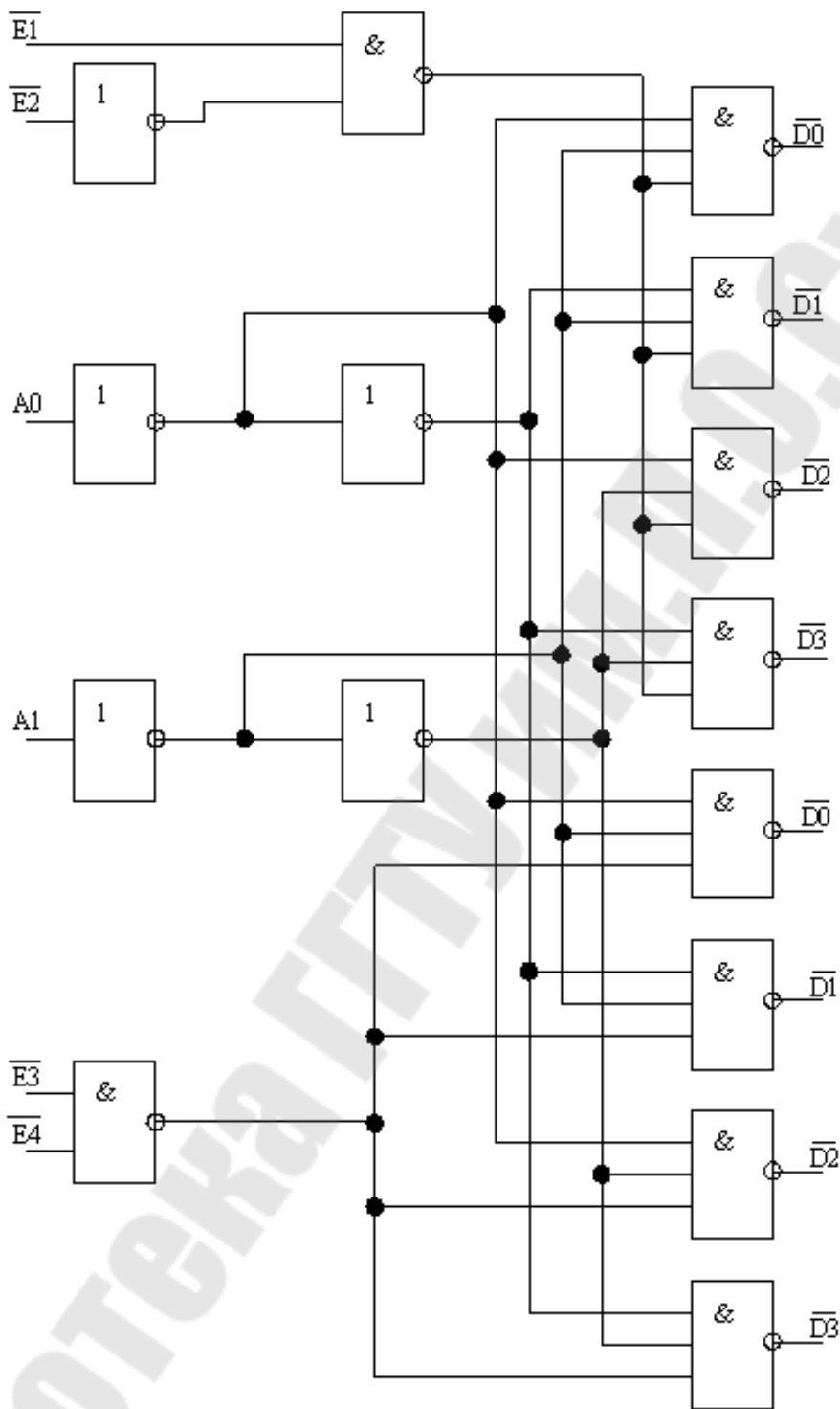


Рис.6. Структурная схема дешифратора К155ИД4

Микросхема К155ИД7 представляет собой дешифратор - де-мультиплексор 3-8 с тремя разрешающими входами. Один из разре-шающих входов прямой, а два инверсные. Наличие нескольких разре-шающих входов позволяет наращивать разрядность дешифратора

объединением нескольких микросхем К155ИД7, как это осуществляется для микросхемы К155ИД4.

2. Используемые приборы

- установка УМ - 11М;
- анализатор логический тридцатидвухканальный 831.

3. Правила техники безопасности при выполнении работы

При выполнении лабораторной работы необходимо соблюдать инструкцию по технике безопасности при работе в лаборатории «Цифровая электроника».

Запрещается проводить какие-либо операции на изучаемых установках при поданном на них питании.

После обнаружения ошибки в собранной электрической схеме необходимо сначала отключить питание, а затем произвести переключения.

4. Порядок выполнения работы

4.1 Исследование микросхем дешифраторов – демультиплексоров К155ИД4 и К155ИД7

Собрать на панели стенда УМ - 11М схему для исследования дешифратора 2 - 4. Адресные входы подключить к кнопочным переключателям «5»-«6», а разрешающие к кнопочным переключателям «7»-«8» таким образом, чтобы нажатой кнопке соответствовал уровень «1», а отпущенной - уровень «0». Верхние выходы подключить к соответствующим разрядам светодиодного индикатора. Задавая кнопочными переключателями «5»-«8» комбинации входных переменных, получить таблицу состояний дешифратора. Повторить измерение таблицы состояний для нижней половины дешифратора. Сделать выводы о причинах различия полученных таблиц состояний.

Собрать схему для исследования дешифратора 3-8. Адресные входы подключить к кнопочным переключателям «5»-«7», а выходы к соответствующим разрядам светодиодного индикатора. На разрешающие входы подать соответствующие (определить самостоятельно

но) логические уровни напряжений. Убедиться в функционировании дешифратора и показать преподавателю.

4.2 Исследование дешифратора на логических элементах И

Собрать схему дешифратора 2-4, используя логические элементы 4x2И. Комбинации входных переменных и их дополнений задавать кнопчными переключателями. Убедиться в правильности функционирования дешифратора по светодиодному индикатору. Используя логические элементы, имеющиеся на панели стенда, преобразовать собранную схему дешифратора в схему дешифратора - демультиплексора с управлением по одной переменной. Образовавшийся разрешающий вход подключить к свободному кнопчному переключателю. Нажимая и отпуская кнопку этого переключателя, убедиться, что логические уровни напряжения изменяются по заданному адресу, и показать преподавателю.

4.3 Исследование дешифратора на логических элементах ИЛИ

Собрать схему дешифратора 2-4, используя логические элементы 4x2 ИЛИ. Аналогично п.4.2 убедиться в правильности его функционирования, а затем, используя логические элементы, имеющиеся на панели стенда, преобразовать собранную схему дешифратора в схему дешифратора - демультиплексора с управлением по одной переменной. Аналогично п.4.2 убедиться в его функционировании и показать преподавателю. Схему нарисовать для отчета и изобразить обозначение полученного дешифратора - демультиплексора. Сделать выводы об отличии схем по п.4.2 и 4.3.

4.4 Исследования способа наращивания разрядности дешифратора с использованием разрешающих входов

Собрать схему дешифратора - демультиплексора 3-8 на микросхеме 155ИД4 посредством получения дополнительного адресного разряда А2 объединением двух разрешающих входов (каким образом - решить самостоятельно). Оставшиеся разрешающие входы использовать для получения общего разрешающего входа. Убедиться в правильном функционировании, аналогично п.4.1, и показать преподавателю. Нарисовать полученную схему для отчета.

5. Содержание отчета:

- наименование и цель работы;
- краткое содержание и результаты исследований;
- схемы исследуемых микросхем дешифраторов-демультиплексоров.

6. Контрольные вопросы

1. Определение дешифратора-демультиплексора.
2. Схемная реализация линейных дешифраторов на логических элементах И, ИЛИ.
3. Способы образования разрешающего входа.
4. Нарращивание разрядности микросхемы К155ИД4.
5. Матричный дешифратор.
6. Каскадное соединение дешифраторов.
7. Сравнительная характеристика различных типов дешифраторов.

Лабораторная работа № 12

ИССЛЕДОВАНИЕ МУЛЬТИПЛЕКСОРОВ

Цель работы: изучить принципы построения мультиплексоров и исследовать особенности применения микросхем мультиплексоров.

1. Основные теоретические сведения

Мультиплексор – это функциональное устройство, осуществляющее подключение (коммутацию) одного из нескольких входов данных к выходу. Номер выбранного входа соответствует коду, подаваемому на адресные входы мультиплексора. На рисунке 1 приведен пример условного обозначения мультиплексора на схемах.

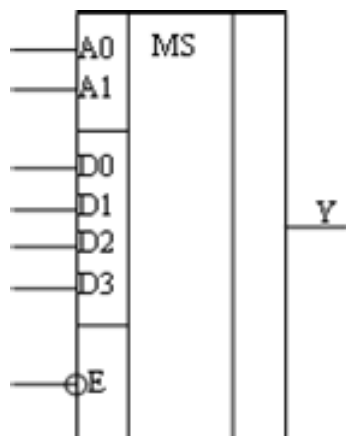


Рис.1. Условное обозначение мультиплексора на схемах

Булево выражение:

$$Y = \overline{A1} \cdot \overline{A0} \cdot D0 + \overline{A1} \cdot A0 \cdot D1 + A1 \cdot \overline{A0} \cdot D2 + A1 \cdot A0 \cdot D3$$

При учете разрешающего входа E ($ENABLE$), булево выражение запишется следующим образом:

$$Y = E \cdot (\overline{A1} \cdot \overline{A0} \cdot D0 + \overline{A1} \cdot A0 \cdot D1 + A1 \cdot \overline{A0} \cdot D2 + A1 \cdot A0 \cdot D3)$$

Таблица 1

Таблица состояний мультиплексора

E	A1	A0	Y
1	0	0	D0
1	0	1	D1
1	1	0	D2
1	1	1	D3

На рисунке 2 приведена схема мультиплексора 4:1 в базисе И, ИЛИ, НЕ.

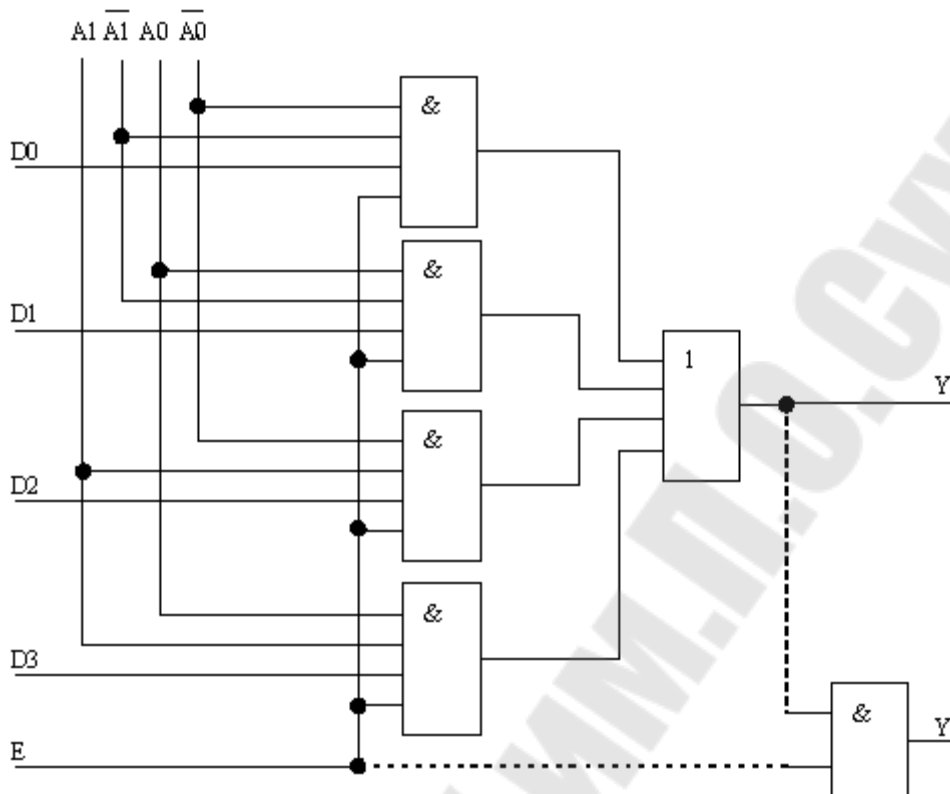


Рис.2. Схема мультиплексора 4 : 1 в базисе И, ИЛИ, НЕ

Разрешающий вход E может быть осуществлен за счет дополнительных входов логического элемента И, включенных вместе, или за счет дополнительного логического элемента И на выходе мультиплексора. Первый способ сложнее, но обеспечивает меньшую задержку распространения сигнала.

Наличие разрешающего входа E позволяет увеличивать число информационных входов вдвое путем последовательного соединения разрешающих входов двух мультиплексоров (наращивание разрядности).

Другой способ наращивания разрядности мультиплексора использует ступенчатый (пирамидальный) принцип построения.

В пирамидальном мультиплексоре каждая ступень, начиная с первой, имеет больше входов, чем последующая. Применяются две, три и более ступени. Младшие разряды кода адреса подаются на адресные входы первой ступени, а последующим ступеням соответствуют старшие разряды адресного кода.

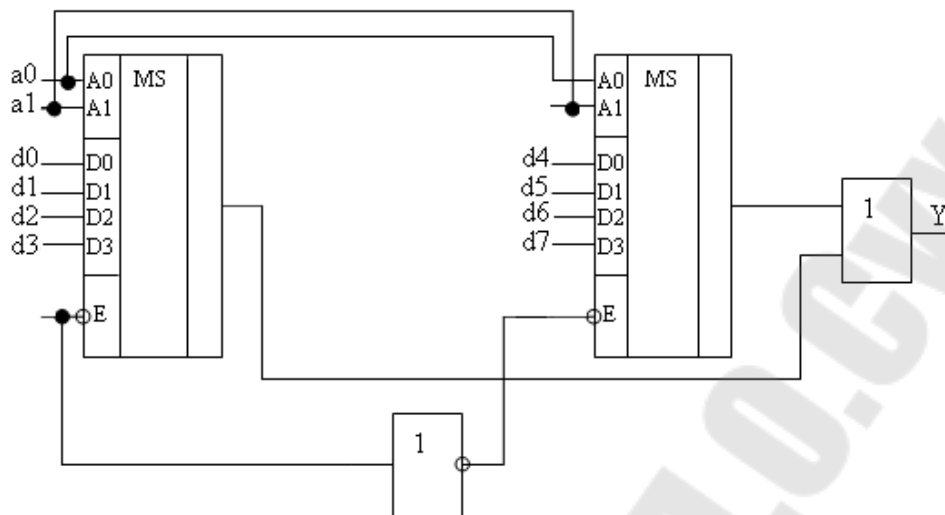


Рис. 3. Схема мультиплексора 8:1 с последовательным соединением разрешающих входов

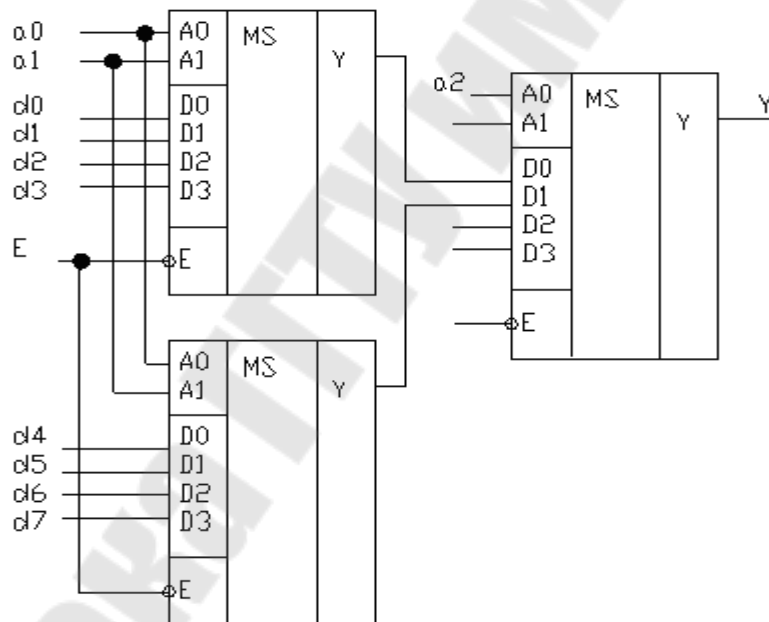


Рис. 4. Схема пирамидального мультиплексора 8:1

Кроме прямого назначения, мультиплексор может быть использован как универсальный логический элемент. Возможность реализации заданной логической функции основана на том, что на адресные входы мультиплексора нужно подать входные переменные, зная какой выходной уровень должен отвечать каждой комбинации этих переменных. Предварительно установив на входах данных уровни напряжения «1» и «0», согласно таблице истинности, получим устройство, реализующее заданную логическую функцию.

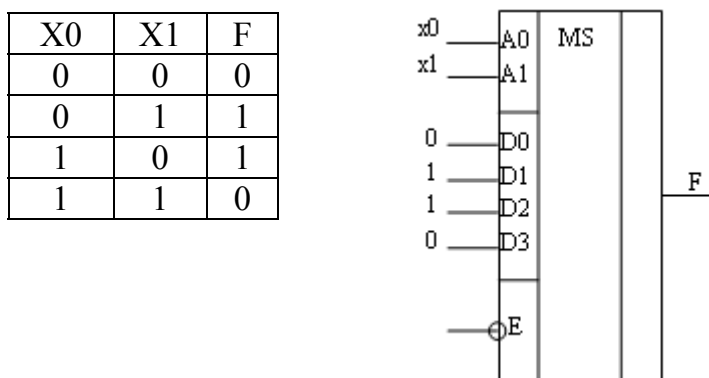


Рис. 5. Схема устройства, реализующего заданную логическую функцию согласно таблице истинности

Микросхема К531КП2 имеет два четырехходовых мультиплексора, имеющих общие адресные входы. Каждый мультиплексор имеет свой вход разрешения (активный уровень низкий).

Микросхема К155КП7 имеет один семивходовый мультиплексор с инверсным входом разрешения и двумя комплементарными выходами.

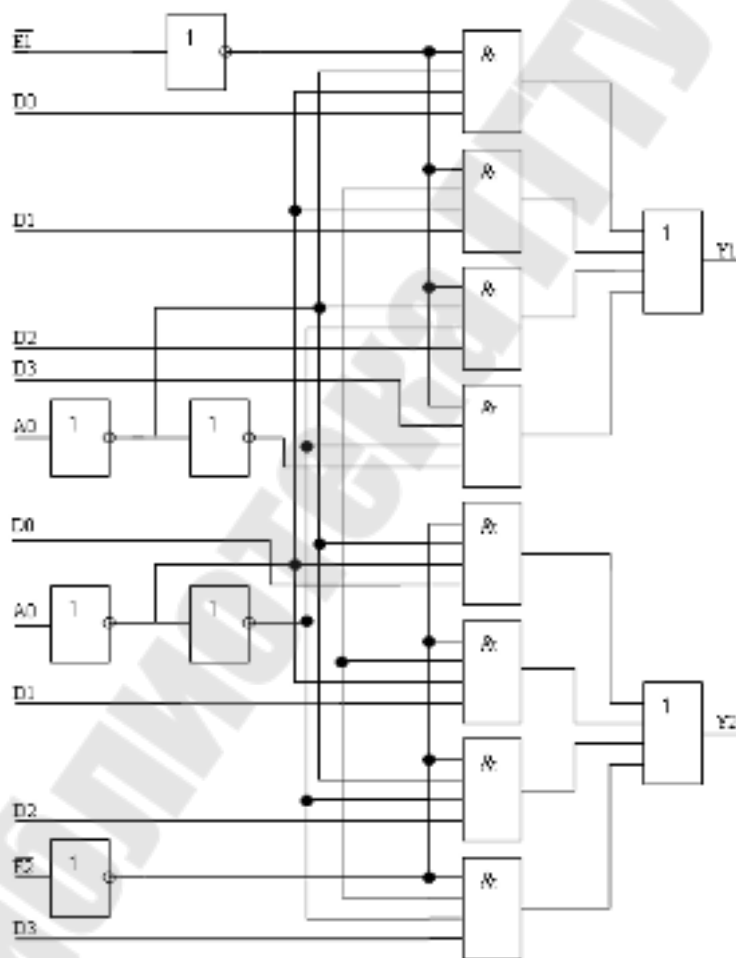


Рис.6. Структура микросхемы К531КП2.

Микросхема К531КП11 имеет четыре одинаковые двухвходовые мультиплексоры. Адресный вход общий. Выходы мультиплексоров имеют третье z -состояние. Если на вход ЕО (управления z – состоянием) подать высокий уровень напряжения, то выходы разомкнутся.

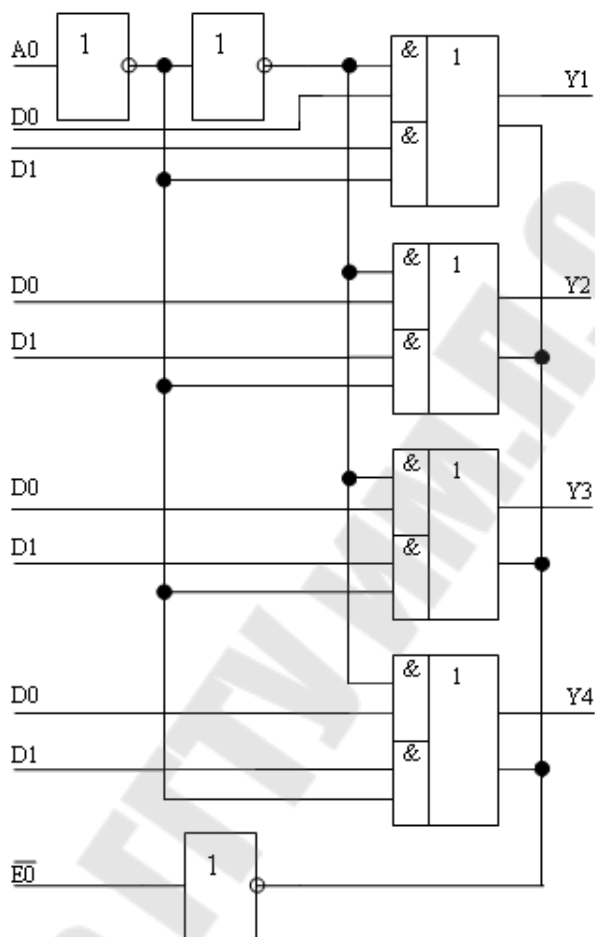


Рис.7.Структура микросхемы К531КП11.

2. Используемое оборудование

- установка УМ - 11М;
- анализатор логический тридцатидвухканальный 831.

3. Правила техники безопасности при выполнении работы

При выполнении лабораторной работы необходимо соблюдать инструкцию по технике безопасности при работе в лаборатории «Цифровая электроника».

Запрещается проводить какие-либо операции на изучаемых установках при поданном на них питании.

После обнаружения ошибки в собранной электрической схеме необходимо сначала отключить питание, а затем произвести переключения.

4. Порядок выполнения работы

4.1 Исследование схемы мультиплексора в базисе И-НЕ

Собрать схему мультиплексора 4:1 без разрешающего входа Е, используя логические элементы ЗИ-НЕ и 4И-НЕ. Адрес задавать кнопочными переключателями «5» и «6», а данные - переключателями «1»-«4», таким образом, чтобы нажатой кнопке соответствовала «1», а отпущенной – «0». Выход мультиплексора подключить к светодиодному индикатору. Убедиться в правильном функционировании схемы мультиплексора и показать преподавателю. Нарисовать полученную схему для отчета.

4.2 Исследование мультиплексора на микросхеме К531КП 2

Собрать схему мультиплексора 8:1 на базе двойного мультиплексора 4:1, с последовательным соединением разрешающих входов. В качестве дополнительных логических элементов использовать элементы, имеющиеся на панели установки, тип которых выбрать самостоятельно. Адрес задавать кнопочными переключателями «1»-«4», а данные - переключателями «5»-«8» поочередно для входов данных мультиплексора D_0-D_3 и D_4-D_7 . Убедиться в правильном функционировании схемы мультиплексора и показать преподавателю. Нарисовать полученную схему для отчета.

4.3 Исследование мультиплексора К531КП 11 с третьим z-состоянием

Собрать схему мультиплексора 2:1, используя кнопочные переключатели «5»-«8» для задания входных переменных, причем на входы адреса и данных мультиплексора подавать младшие разряды кода, а на вход управления z - состоянием подать старший разряд кода. Выход мультиплексора подключить к светодиодному индикатору. Изменяя комбинации входных переменных, записать для отчета таб-

лицу состояний мультиплексора. Сделать вывод о влиянии на функционирование мультиплексора подаваемого на вход E0 уровня.

4.4 Исследование пирамидального мультиплексора

Используя микросхемы K531КП2 и K531КП11, собрать схему пирамидального мультиплексора 8:1. Адрес и данные задавать аналогично п.4.2. Убедиться в правильности функционирования схемы мультиплексора и показать преподавателю. Нарисовать полученную схему для отчета.

4.5 Исследование применения мультиплексора в качестве универсального логического элемента

Составить таблицу истинности для четырех переменных и одной выходной функции таким образом, чтобы при совпадении кодовой комбинации с номером каждого члена бригады по журналу группы, функция принимала значение «1», а в остальных случаях – «0». Примечание: при номере члена бригады больше 15, в таблицу записывается «1» при кодовой комбинации, соответствующей разности этого номера и числа 15. Собрать схему, реализующую составленную таблицу истинности, на мультиплексоре 8:1 (микросхема K155КП7). С помощью логического анализатора 831 убедиться в правильном функционировании схемы и показать преподавателю. Нарисовать схему для отчета.

5. Содержание отчета

- наименование и цель работы;
- краткое содержание и результаты исследований;
- схемы исследуемых микросхем мультиплексоров.

6. Контрольные вопросы

1. Назначение мультиплексора и его схемная реализация в базе И, ИЛИ, НЕ.
2. Способы образования разрешающего входа мультиплексора.
3. Способы наращивания разрядности.
4. Мультиплексор как универсальный логический элемент.
5. Принцип работы пирамидального мультиплексора 8:1.

Лабораторная работа № 13

ИССЛЕДОВАНИЕ ШИФРАТОРОВ

Цель работы: изучить принципы построения и особенности применения микросхем приоритетных шифраторов.

1. Основные теоретические сведения

Шифратор (coder) выполняет функцию преобразования унарного кода в двоичный. Шифраторы бывают двух видов: классические и приоритетные. При подаче сигнала на один из входов классического шифратора (обязательно на один, не более) на выходе появляется двоичный код номера активного входа.

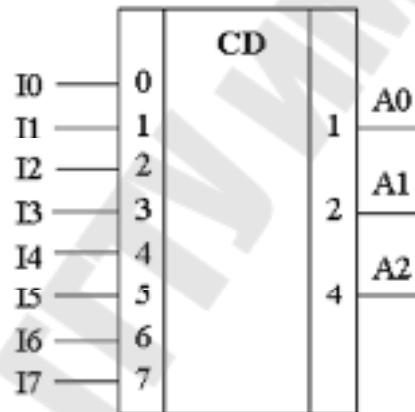


Рис. 1. Условное обозначение классического шифратора

Таблица 1
Таблица состояний классического шифратора

I	A2	A1	A0
I0	0	0	0
I1	0	0	1
I2	0	1	0
I3	0	1	1
I4	1	0	0
I5	1	0	1
I6	1	1	0
I7	1	1	1

Приоритетный шифратор отличается от классического шифратора наличием дополнительной логической схемы выделения активного уровня старшего входа для обеспечения условия работоспособности шифратора (только один уровень на входе активный). Уровни сигналов на остальных входах схемой игнорируются. Схема выделения старшей единицы строится на элементах И и инверторах таким образом, чтобы любое число старших нулей, образуемая после инверторов логические единицы, не влияло на работу элементов И в цепи младших входов. Любая самая старшая единица (после инвертора – логический ноль) запирает элементы И младших входов.

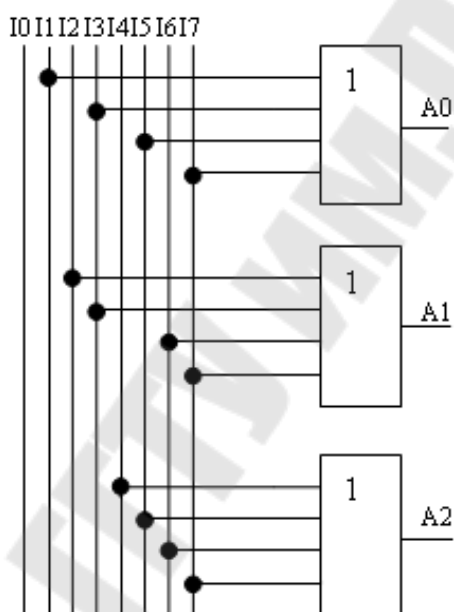


Рис. 2. Структурная схема шифратора

Особенностью шифраторов К555ИВ3 (ИВ1) являются инверсные входы и выходы, т. е. активным уровнем является логический ноль. Шифратор К555ИВ3 преобразовывает унарный код в двоично-десятичный. Шифратор К555ИВ1 (155ИВ1, 533ИВ1) преобразовывает унарный код в трехразрядный двоичный с формированием групповых сигналов для наращивания разрядности. Имеется также вход разрешения EI .

На рисунке 3 показано образование тракта групповых сигналов для шифратора К555ИВ3.

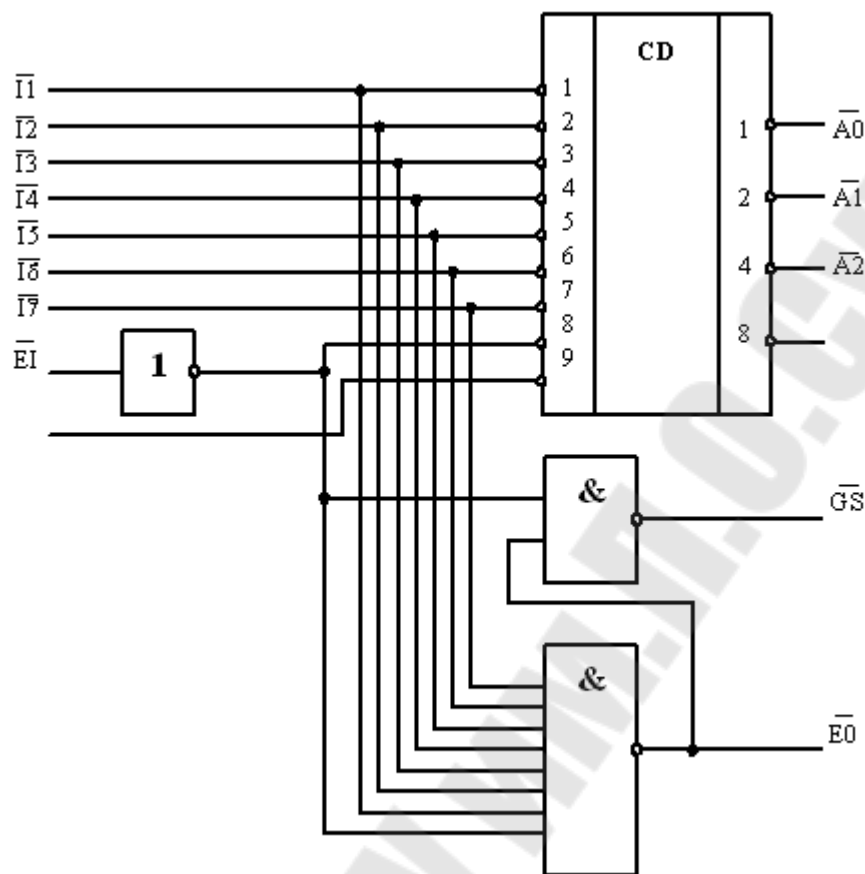


Рис. 3. Образование тракта групповых сигналов для шифратора К555ИБ3

Шифратор К555ИБ3 может быть использован для преобразования унарного кода в трехразрядный двоичный. В этом случае I9 и выход A3 не используются, а вход I8 становится разрешающим. Основанием этого является то, что при активном уровне на входе I8 выходы A0 – A2 всегда неактивные (активный выход A3 – инверсный код выходов шифратора 0111). Для наращивания разрядности с применением шифраторов К555ИБ3, кроме входа разрешения EI, необходимо иметь выход разрешения EO (*ENABLE OUTPUT*) и выход группового сигнала GS (*GROUP SIGNAL*). Дополнительные выходы образуются с помощью дополнительных логических элементов. В этом случае структурная схема становится аналогичной схеме шифратора К555ИБ1. На рисунке 4 показана схема 4-х разрядного шифратора на микросхемах К555ИБ1.

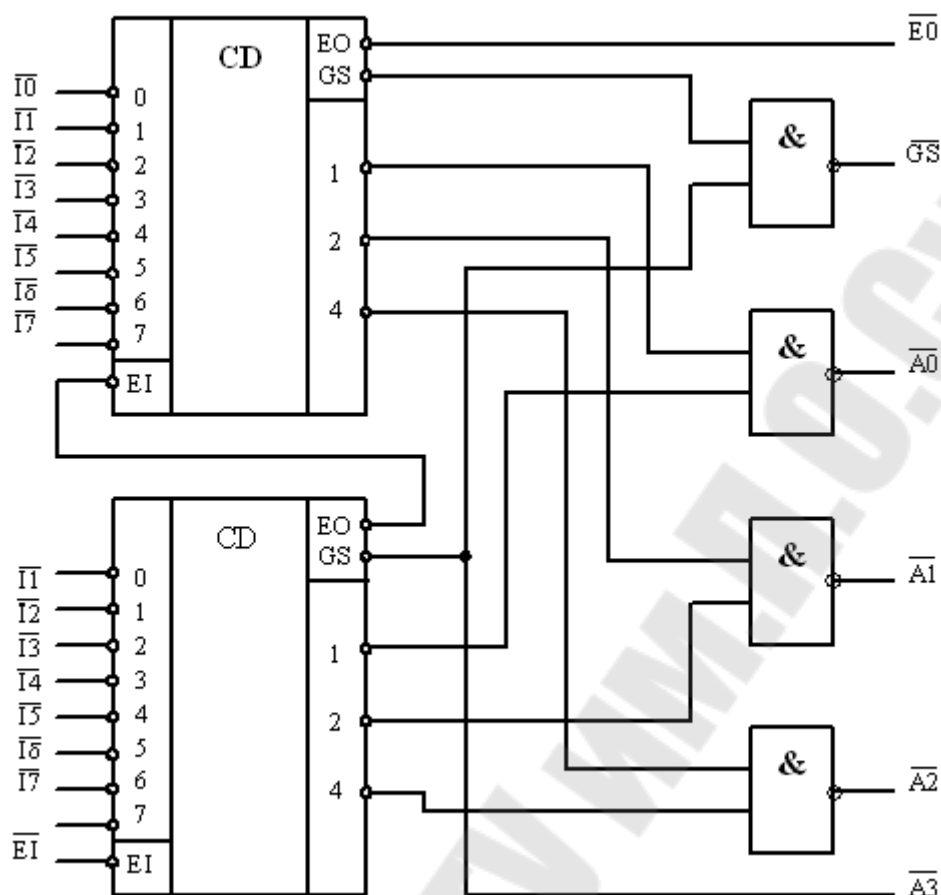


Рис. 4. Схема 4-х разрядного шифратора на микросхемах К555ИВ1

Выход разрешения EO активен, когда все входы, кроме входа разрешения, неактивны. Выход группового сигнала GS активен, когда в группе входных сигналов есть хотя бы один активный уровень. Если вход разрешения неактивен, то независимо от уровня сигнала на остальных входах, все выходы, в том числе и выходы тракта групповых сигналов, неактивны.

Нарращивание разрядности шифраторов основано на том обстоятельстве, что все цифры, начиная с восьми, имеют «1» в старшем разряде. Следовательно, выход GS шифратора, образующего входы $I_8 - I_{15}$, может быть использован для образования старшего разряда A_3 .

2. Используемое оборудование

- установка УМ-11М.

3. Правила техники безопасности при выполнении работы

При выполнении лабораторной работы необходимо соблюдать инструкцию по технике безопасности при работе в лаборатории «Цифровая электроника».

Запрещается проводить какие-либо операции на изучаемых установках при поданном на них питании.

После обнаружения ошибки в собранной электрической схеме необходимо сначала отключить питание, а затем произвести переключения.

4. Порядок выполнения работы

4.1. Исследование шифратора К555ИВ3

Собрать схему исследования приоритетного шифратора К555ИВ3, используя нумерацию выводов, приведенную на структурной схеме. Входные сигналы I1 – I8 задавать кнопочными переключателями «1»–«8». Входной сигнал I9 задавать перемычкой. Выходной код контролировать светодиодными индикаторами. Убедиться в правильном функционировании шифратора, снять и зарисовать таблицу состояний.

4.2 Исследование шифратора К555ИВ3 в режиме 8:3 с образованием тракта групповых сигналов

Собрать схему для шифратора К555ИВ3 образования тракта групповых сигналов. Из имеющихся на панели установки УМ-11М элементов образовать логические элементы. Входные сигналы I1–I7 задавать кнопочными переключателями «1»–«7», а сигнал EI – переключателем I8. Выходные состояния контролировать светодиодными индикаторами. Убедиться в правильности функционирования шифратора, снять и зарисовать таблицу состояний. Зарисовать для отчета полученную схему.

5. Содержание отчета

- наименование и цель работы;
- таблицы состояний и исследуемые схемы;
- схема шифратора К555ИВ3;
- схема 4-х разрядного двоичного шифратора на микросхеме К555ИВ3.

6. Контрольные вопросы

1. Определение, обозначение и принцип работы шифратора.
2. Принцип работы приоритетного шифратора К555ИВ3.
3. Назначение и принцип образования тракта групповых сигналов.
4. Нарастивание разрядности двоичных и двоично-десятичных шифраторов.
5. Объяснить полученные результаты по п. 4.2.

Лабораторная работа № 14

ИССЛЕДОВАНИЕ ПРЕОБРАЗОВАТЕЛЕЙ КОДОВ НА ПЛМ и ПЗУ

Цель работы: изучить принцип построения и особенности применения преобразователей кодов на ПЛМ и ПЗУ и микросхемы К155ПР7.

1. Основные теоретические сведения

Программируемые логические матрицы (ПЛМ) и постоянные запоминающие устройства (ПЗУ) предназначены для реализации кодовых преобразователей по принципу декодер-кодер. На рисунке 1 показано обозначение ПЛМ на схемах принципиальных электрических.

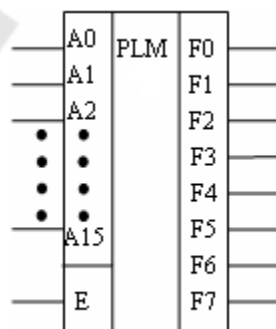


Рис.1. Обозначение ПЛМ на принципиальных электрических схемах

Основу ПЛМ составляют матрицы элементов И и ИЛИ. На рисунке 2 показана структурная схема ПЛМ К556РТ1.

Требуемые логические произведения формируются на шинах столбцов путем выжигания ненужных перемычек (обозначены зигзагом) между строками и столбцами. Требуемые логические суммы формируются матрицей элементов ИЛИ, в которой на входах логических элементов также выжигаются ненужные перемычки. Число столбцов у ПЛМ К556РТ1, К556РТ2 всего 48. Следовательно, может быть получено до 48-и логических произведений. Число переменных и дополнений, которые могут участвовать в произведениях, определяется количеством адресных входов ПЛМ, которое равно 16. Следовательно, каждый элемент И имеет 32 входа (16 переменных и 16 дополнений), а каждый элемент ИЛИ - 48 входов (по числу столбцов ПЛМ). Всего таких элементов И - 8. Следовательно, ПЛМ формирует до 8 функций из логических сумм, в которых участвуют до 16 входных переменных и их дополнений.

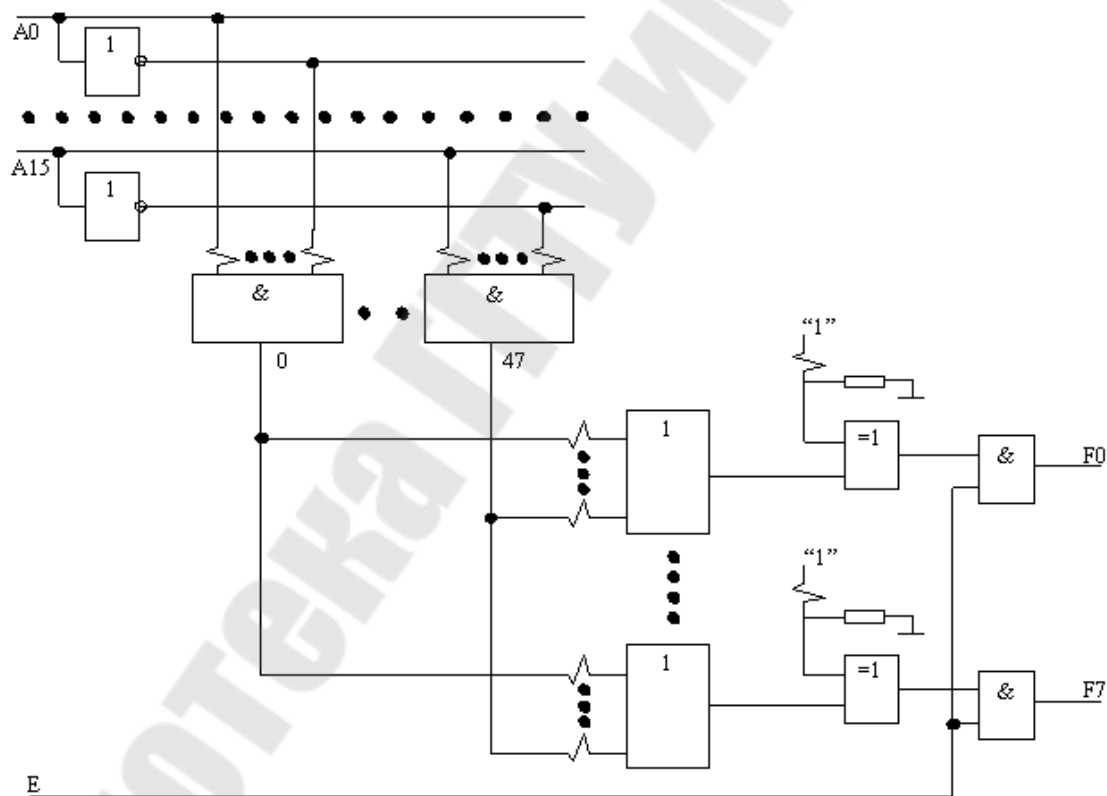


Рис.2. Структура ПЛМ К556РТ1

Элементы «исключающее ИЛИ» позволяют получить прямой или инверсный выход в зависимости от наличия перемычек на втором входе элемента. Технологией изготовления ПЛМ обеспечивается на неподключенных входах элементов И - «1», а входах элементов ИЛИ - «0».

ПЗУ - это функциональный узел с n входами и m выходами, хранящий 2^m -разрядных слов. В отличие от ПЛИМ матрица элементов И в ПЗУ реализует полный дешифратор, поэтому выжигаемые переключки нужны (и имеются) только на входах матрицы элементов ИЛИ. На рисунке 3 показана схема ПЗУ $2 \times m+1$.

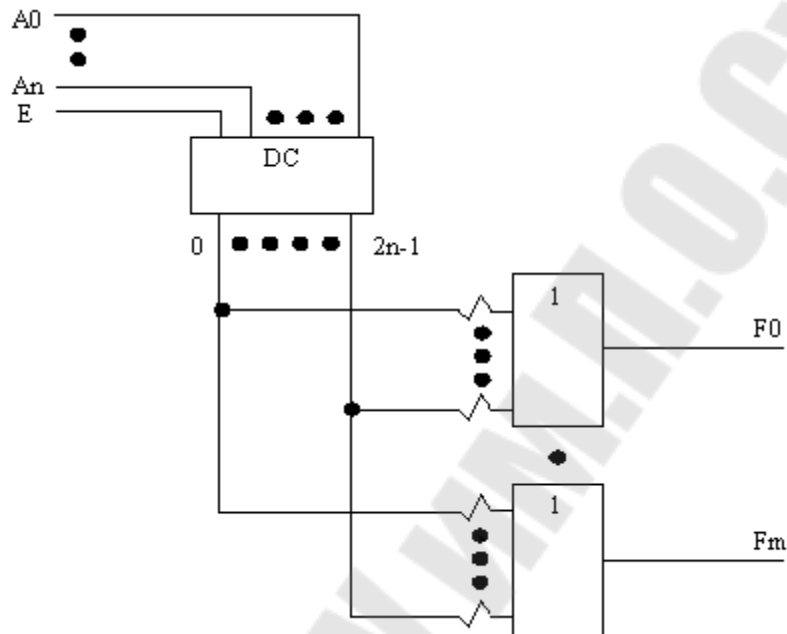
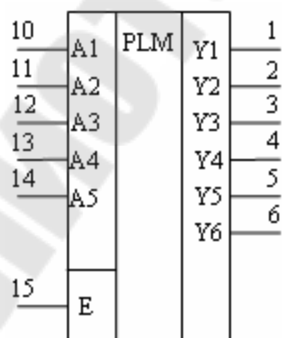


Рис.3. Схема ПЗУ $2 \times m+1$

Промышленностью выпускаются микросхемы преобразователей кодов:

- двоичного кода в двоично-десятичный код (К155ПР7);
- двоично-десятичного кода в двоичный код (К155ПР6).

Условное обозначение микросхемы ПЗУ 32×8 К155ПР7 с нумерацией выводов приведено на рисунке 4.



Вывод 16 - +5В.
Вывод 8 - общий.

Рис.4. Условное обозначение микросхемы К155ПР7

2. Используемое оборудование

- установка УМ - 11М;
- установка ЭЦВТ - 1 с блоком БМП-1 и трафаретом N11;
- анализатор логический тридцатидвухканальный 831.

3. Правила техники безопасности при выполнении работы

При выполнении лабораторной работы необходимо соблюдать инструкцию по технике безопасности при работе в лаборатории «Цифровая электроника».

Запрещается проводить какие-либо операции на изучаемых установках при поданном на них питании.

После обнаружения ошибки в собранной электрической схеме необходимо сначала отключить питание, а затем произвести переключения.

4. Порядок выполнения работы

4.1 Исследование преобразователя кодов на ПЛМ

Собрать схему исследования преобразователя кодов на установке ЭЦВТ-1 в режиме преобразования двоичного кода в 16-ричный семисегментный код, изображенную на рисунке 5. Убедиться, что перебору двоичных чисел на выходе счетчика импульсов (СТ) от 0000 до 1111 соответствуют десятичные числа от 00 до 15 на индикаторах.

Подключить к преобразователю кодов анализатор 831, получить и записать таблицы состояний преобразователя при $SC=«0»$ и $SC=«1»$.

В отчете сделать вывод о выходном коде преобразователя при $SC = «1»$ составить и нарисовать в отчете схему соединений ПЛМ для этого случая.

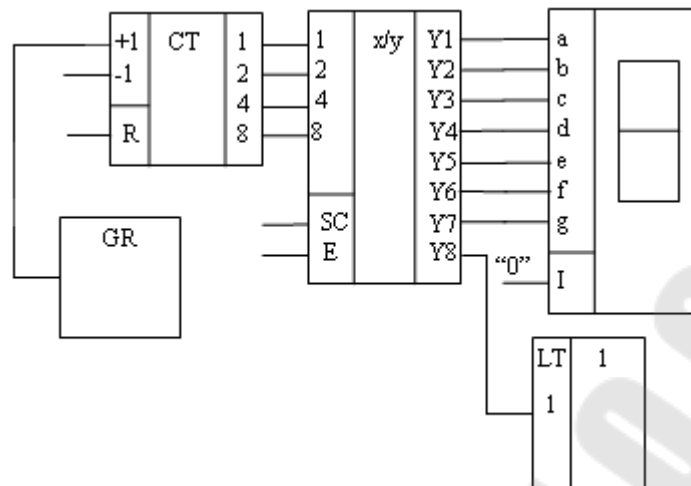


Рис.5. Преобразование двоичного кода в 16-тиричный семисегментный код

4.2. Исследование схемы ПЗУ на дешифраторах

Используя схему ПЗУ составить и собрать схему преобразователя двоичного кода в семисегментный код на дешифраторах К155ИД7 и логических элементах установки УМ-11М. Подключить схему к установке ЭЦВТ-1 и, аналогично п.4.1, убедиться в правильном функционировании и показать преподавателю. На рисунке 6 приведена структурная схема шифратора семисегментного кода. Схему зарисовать для отчета.

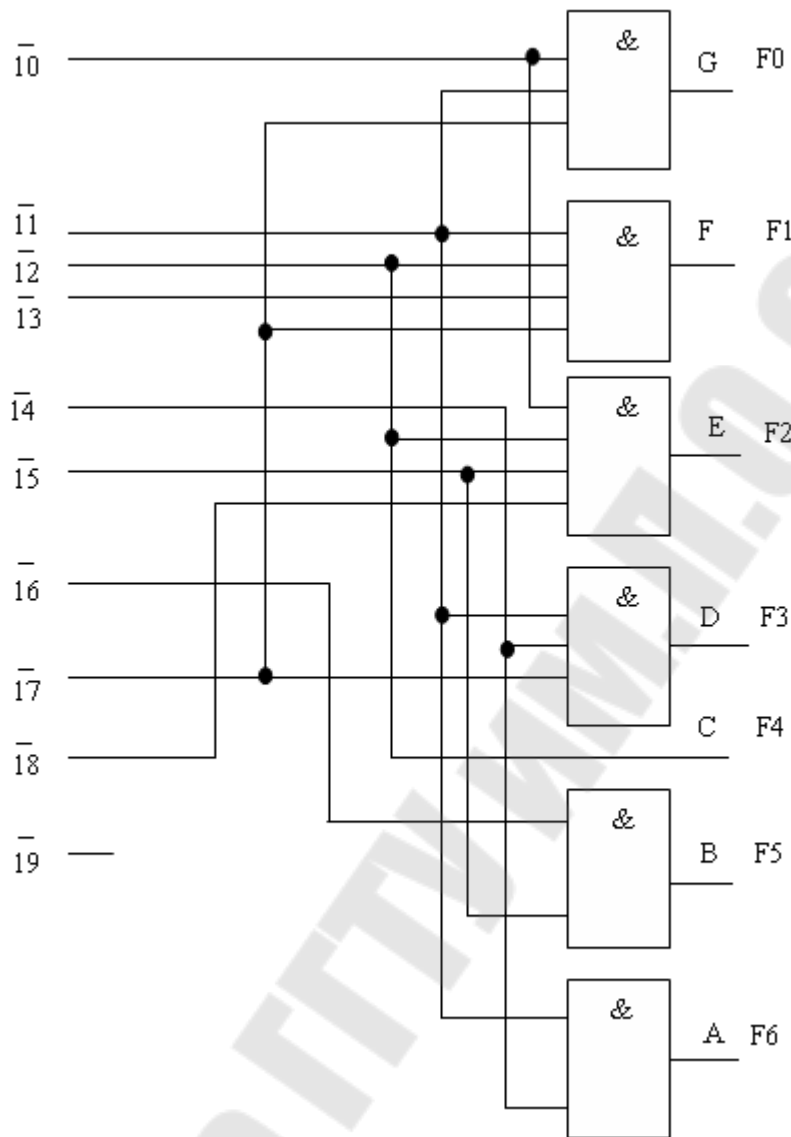


Рис.6. Структурная схема шифратора семисегментного кода

4.3. Исследование преобразователя двоичного в двоично-десятичный код на микросхеме К155ПР7

Используя обозначение выводов микросхемы К155ПР7, получить на анализаторе 831 таблицу состояний и записать в отчет. Примечание: выходы микросхемы К155ПР7 имеют открытый коллектор. В качестве нагрузки следует использовать входы логических элементов, имеющихся на панели установки УМ-11М (какие - решить самостоятельно, используя понимание принципа работы базового логического элемента ТТЛ). Вторые входы этих логических элементов использовать для соединения с входами анализатора 831. Сделать вывод о виде выходного двоично-десятичного кода преобразователя.

Изменить схему подключения преобразователя K155ПР7 к анализатору 831 (каким образом - решить самостоятельно, используя предыдущий анализ выходного двоично-десятичного кода) чтобы преобразователь формировал на экране анализатора *BCD* - код. Показать преподавателю и определить максимальное десятичное число на выходе преобразователя.

5. Содержание отчета

- наименование и цель работы;
- схемы исследований;
- краткое содержание выполненных пунктов и результаты исследований.

6. Контрольные вопросы

1. Назначение ПЛМ и принцип реализации на ней логических функций.
2. Назначение ПЗУ. Классификация и принципы записи информации.
3. Обосновать результаты, полученные в п. 4.1.
4. Обосновать составленную и исследованную схему по п. 4.2.
5. Обосновать результаты, полученные в п. 4.3.
6. Отличительные особенности ПЛМ и ПЗУ.

Лабораторная работа № 15

ИССЛЕДОВАНИЕ АРИФМЕТИЧЕСКИХ УСТРОЙСТВ

Цель работы: изучить принцип действия и исследовать свойства арифметических устройств: сумматора и схемы контроля четности, построенных на интегральных микросхемах ТТЛ (ТТЛШ).

1. Основные теоретические сведения

Арифметическими называют устройства цифровой электроники, выполняющие арифметические действия с двоичными числами: сложения, вычитания, умножения и деления. К арифметическим устройствам относят также устройства, выполняющие специальные арифме-

тические операции, как то: выявление четности заданных чисел (определение паритета) и сравнения двух чисел.

Особенность арифметических устройств состоит в том, что сигналам приписываются не логические, а арифметические значения 1 и 0 и действия над ними подчиняются законам двоичной арифметики. Хотя арифметические устройства оперируют с численными величинами, для описания их работы также удобно пользоваться таблицами истинности.

Важнейшая из арифметических операций - суммирование (сложение). Помимо прямого назначения она используется и при других операциях: вычитание - это сложение, в котором вычитаемое вводится в обратном или дополнительном коде, а умножение и деление - это последовательное сложение и вычитание.

Арифметические устройства выпускаются в виде готовых изделий в составе многих серий цифровых микросхем.

1.1.Сумматоры

Сумматоры представляют собой функциональные узлы, выполняющие операцию сложения чисел. В устройствах цифровой электроники суммирование осуществляется в двоичном или, реже, двоично-десятичном коде. По характеру действия сумматоры подразделяются на две категории: комбинационные, не имеющие элементов памяти, накопительные - сохраняющие результаты вычислений.

Сумматоры, выполненные в виде самостоятельных микросхем, комбинационные, и речь в дальнейшем будет идти только о них.

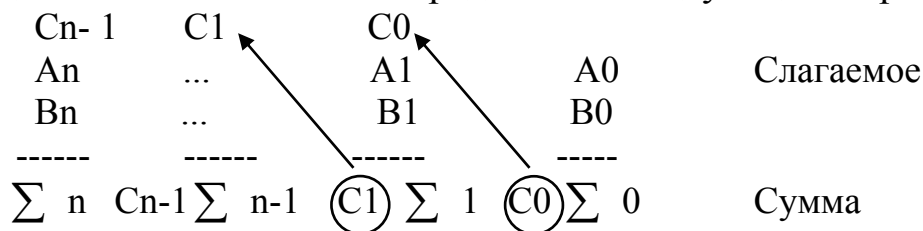
В составе серии микросхем ТТЛ К155 выпускаются три типа сумматоров:

- одноразрядный К155ИМ1;
- двухразрядный К155ИМ2;
- четырехразрядный К155ИМ3.

В составе ТТЛШ К555 - одноразрядный сумматор К555ИМ5 и четырехразрядный К555ИМ6.

Сумматоры, оперирующие с многоразрядными слагаемыми, в зависимости и от способа обработки чисел могут быть последовательного или параллельного типа. В сумматорах параллельного действия сложение всех разрядов многоразрядных чисел происходит одновременно. Они отличаются высоким быстродействием, поэтому

наиболее распространены. Процедуру сложения двух n -разрядных двоичных чисел можно представить следующим образом:



Сложение цифр A_0 и B_0 младшего разряда дает бит суммы Σ_0 и бит переноса C_0 (от англ. *carry* - перенос). В следующем (втором) разряде происходит сложение цифр C_0 , A_1 и B_1 , которое формирует сумму и перенос C_1 . Операция длится до тех пор, пока не будет сложена каждая пара цифр во всех разрядах. Результатом сложения будет число $\Sigma = C_n \Sigma_n$, где C_n и Σ_i отображают 1 или 0, полученные в результате поразрядного сложения.

В устройствах цифровой электроники операция вычитания обычно заменяется сложением уменьшаемого с вычитаемым, представленным в дополнительном коде. Поэтому в виде самостоятельных изделий вычитатели, т.е. схемы, выполняющие вычитание, не производятся.

В составе серии микросхем ТТЛ К155 выпускаются три типа сумматоров:

- одноразрядный К155ИМ1;
- двухразрядный К155ИМ2;
- четырехразрядный К155ИМ3.

В составе ТТЛШ К555 - одноразрядный сумматор К555ИМ5 и четырехразрядный К555ИМ6.

Условное изображение микросхемы К555ИМ6 дано на рисунке 1.

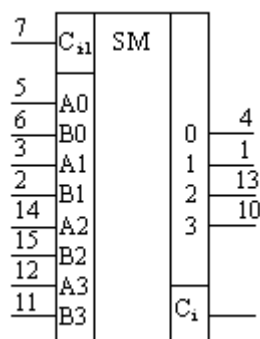


Рис. 1. Условное изображение микросхемы К555ИМ6

Принцип действия основан на параллельном суммировании чисел разных разрядов с параллельным переносом, который вырабатывается как функция только слагаемых и входного переноса всего сумматора. Вход переноса C_{i-1} имеется только у младшего разряда, а выход - только у старшего C_i .

Результат на выходах суммы и переноса описывается следующим выражением:

$$\begin{aligned} \sum_{A,B} &= C_{i-1} + 2^0(A0 + B0) + 2^1(A1 + B1) + 2^2(A2 + B2) + 2^3(A3 + B3) = \\ &= 2^0 \sum 0 + 2^1 \sum 1 + 2^2 \sum 2 + 2^3 \sum 3 + 2^4 \sum C_i \end{aligned}$$

Микросхема может быть использована для операций с числами, представленными не только в положительной, но и в отрицательной логике. В режиме положительной логики вход C_{i-1} нельзя оставлять открытым, на него надо подать напряжение логического нуля.

Четырехразрядный сумматор К555ИМ6 можно применять и в качестве вычитателя. Операция вычитания выполняется путем сложения, уменьшаемого с вычитаемым в дополнительном коде. На рисунке 2 показано, как это делается.

Вычитаемое $V = V3 \cdot V2 \cdot V1 \cdot V0$ при помощи четырех инверторов преобразуется в обратный код, и к нему по входу C_{i-1} прибавляется единица. Результат сложения числа $A = A3 \cdot A2 \cdot A1 \cdot A0$ с числом V в дополнительном коде формируется на выходах 3, 2, 1, 0. Здесь $0 = A0 + V0 + 1$ (за счет C_{i-1}); $1 = A1 + V1$ и т. д. Бит высшего разряда отбрасывается, поэтому выход переноса C_i остается свободным. Операции сложения и вычитания можно совместить в одном узле, если инверторы заменить элементами «исключающее ИЛИ» (рисунок 2,б). Эти элементы в зависимости от уровня напряжения на управляющем входе работают как повторители или инверторы.

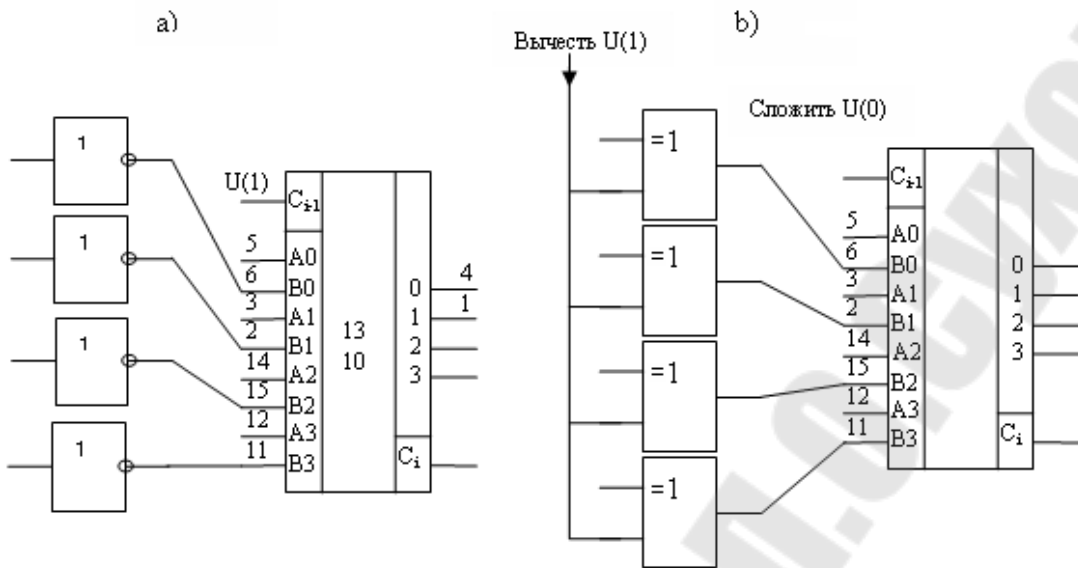


Рис. 2. Микросхема К555ИМ6:

а) в роли вычитателя;

б) в роли сумматора-вычитателя

1.2. Принцип построения сумматора

Для суммирования одноразрядных чисел без входного переноса применяется полусумматор.

Булевы выражения для полусумматора:

$$\Sigma = \bar{A}B + A\bar{B} = A \oplus B \quad P = A \cdot B$$

Таблица 1

Таблица истинности полусумматора

A	B	Σ	P
0	0	0	0
1	0	1	0
0	1	1	0
1	1	0	1

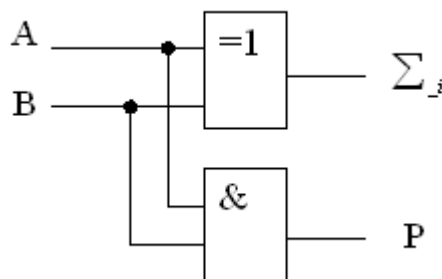


Рис. 3. Схема полусумматора на логических элементах

Для суммирования одноразрядных чисел с входным переносом применяют полный сумматор, или сокращенно - сумматор. Для сумматора, суммирующего i -тый разряд многоразрядного числа:

$$\Sigma_i = (A_i \oplus B_i) \oplus P_{i-1} \quad P_i = A_i \cdot B_i + (A_i \oplus B_i) \cdot P_{i-1}$$

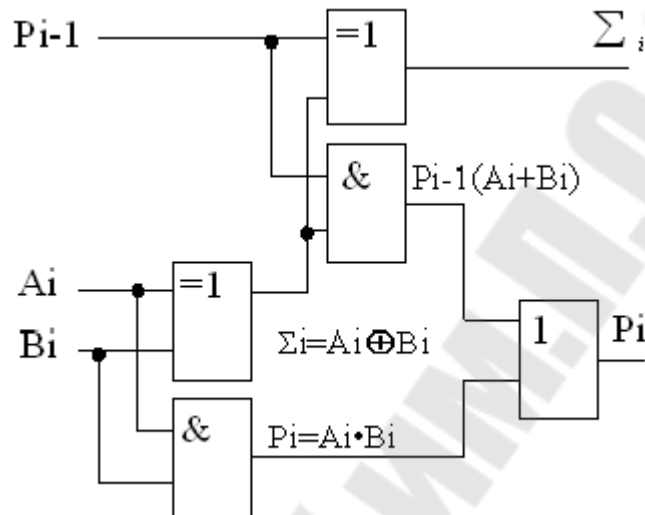


Рис. 4. Схема сумматора на логических элементах

Одноразрядный сумматор может быть использован для суммирования многоразрядных чисел, если они представлены последовательным кодом, в котором младшие разряды следуют раньше старших. В этом случае сигнал выходного переноса подается на вход входного переноса через цепь задержки, обеспечивающую хранение переноса на время одного такта следования импульсов цифрового сигнала.

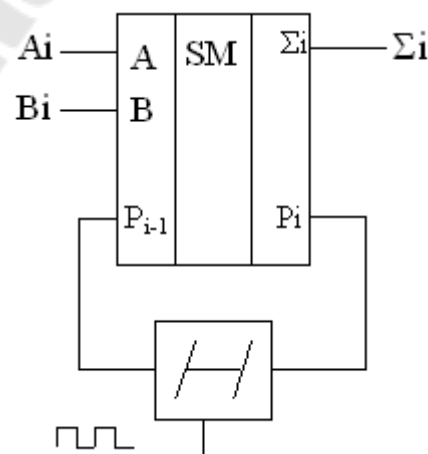


Рис. 5. Схема сумматора многоразрядных чисел в последовательном коде

1.3. Контроль четности

В системах передачи двоичной информации с целью повышения надежности передачи широко используется специфическая арифметическая операция - проверка паритета двоичных чисел.

Суть ее заключается в суммировании по модулю 2 всех разрядов с целью выяснения четности числа. При передаче информации по линии связи вследствие влияния помех могут возникать искажения, приводящие к искажениям информации. Если, например, передается код $1001(2) = 9(10)$ и вследствие помех произойдет сбой во втором разряде слева, на приемный конец поступит $1101(2) = 13(10)$. В общем случае без специальной проверки факта ошибки не установить.

Простой и эффективный способ обнаружения ошибок основан на допущении, что в каждый момент времени ошибка может возникнуть только в одном разряде и проявляется она в лишней единице или в потере единицы. В обоих случаях число единиц изменяется на одну. Таким образом, если передаваемое слово содержит четное число единиц по всем разрядам, а на конце линии передачи это число окажется нечетным, значит, появилась ошибка.

Реализация этого метода осуществляется с помощью специальных устройств (схем контроля четности), которые выпускаются как самостоятельные устройства.

На передающем конце схема сравнения формирует дополнительный бит (1 или 0), так называемый паритетный или контрольный бит, который добавляется к выходной информации. Назначение паритетного бита - доводить число единиц в каждом передаваемом слове до четного или нечетного в зависимости от принятой системы кодирования. При передачах информации, включая запись в память и считывание, контрольный бит передается вместе со словом. На приемном конце происходит проверка паритета (от англ. - соответствие, аналогия) поступивших сигналов. Если он правилен, разрешается прием. Если на линии связи имеет место искажение передаваемой информации, происходит включение сигнализатора ошибок. Паритет может быть четным и нечетным. В случае нечетного паритета дополнительный бит формируется таким образом, чтобы сумма всех единиц в передаваемом слове, включая поверочный (контрольный) бит, была нечетной. Для четного наоборот. К примеру, в числе 0111 число единиц нечетно. Поэтому для нечетного паритета дополнительный бит должен быть нулем, а для четного - единицей. Передаваемое слово будет:

00111 - нечетный паритет;

10111 - четный паритет.

Контрольный бит расположен слева, т. е. занимает старший разряд передаваемого слова. На практике нечетный паритет используется чаще. Контроль нечетности позволяет фиксировать полное пропадание информации, поскольку слово из одних нулей (включая контрольный бит) противоречит нечетному паритету.

Принято считать при проверке как четности так и нечетности, что при правильном коде на входах на выходе формируется логическая «1», при ошибочном - логический «0». Для организации схем сравнения применяют логические элементы "исключающее ИЛИ", исполняющие роль сумматоров по модулю 2 (т. е. сумматоров, сигналом переноса которых пренебрегают). На рис.6 показано такое устройство на 4 разряда.

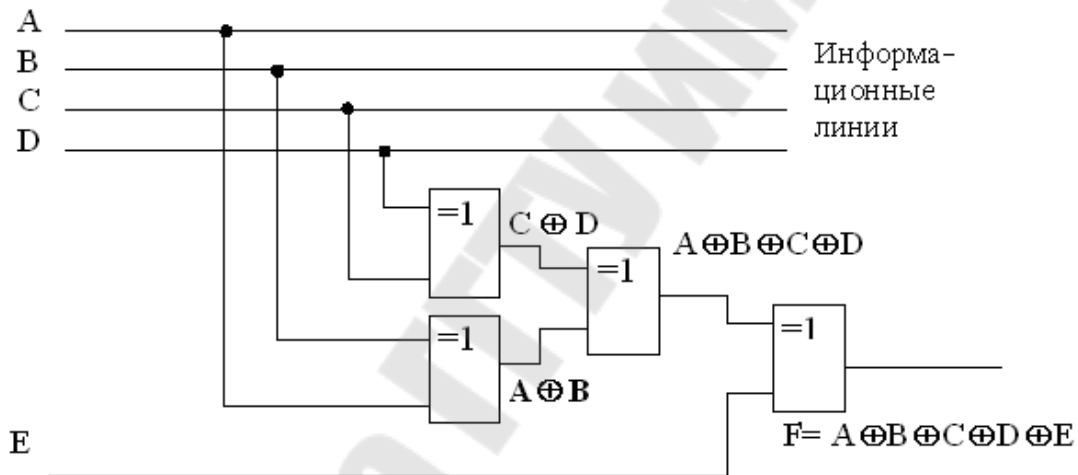


Рис. 6. Схема формирования паритетного бита

Структура схемы проверки четности (нечетности) - многоступенчатая. В первой ступени (ярусе) попарно суммируются все биты слова. Выходные сигналы первого яруса служат входными для второго - и так последовательно до окончательного определения четности (нечетности) суммы единиц всего слова. Полученный результат на последнем этапе сравнивается с контрольным сигналом, задающим вид используемого паритета. Если принят четный паритет, т.е. число единиц в слове, включая паритетный бит, должно быть четным, то контрольный сигнал должен быть равен сумме по модулю 2 всех информационных разрядов слова. Для нечетного паритета контрольный сигнал является инверсией указанной суммы (табл. 2).

Таблица 2

Таблица истинности для схемы формирования паритетного бита

Входы				Выход	
A	B	C	D	при E = 0	при E = 1
0	0	0	0	0	1
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	1	0
1	0	0	0	1	0
1	0	0	1	0	1
1	0	1	0	0	1
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	0	1
1	1	1	1	0	1

Таким образом, независимо от паритета четырехразрядного слова на информационных линиях А, В, С и D паритет пятиразрядного кода А, В, С, D всегда будет одинаков. Это следует из того факта, что если сумма А, В, С, D нечетна (четна), то при F=0 (F=1) и их общая сумма также нечетна. Потенциал на входе E (E=0 или E=1) определяет таким образом вид используемого паритета.

Устройства для проверки четности двоичных слов выпускаются в виде самостоятельных изделий в нескольких сериях микросхем. Они находят применение также в качестве сумматоров по модулю 2 и поэтому иногда называются схемами свертки по модулю 2.

В устройствах ТТЛ 155-й серии контроль четности осуществляется микросхемой К155ИП2. Она имеет (рис. 7.) восемь информационных входов I0 - I7, два разрешающих входа для задания вида паритета: четный *EE* (*even enable*) и нечетный *OE* (*odd enable*), два выхода $\sum E$ и $\sum 0$. Оба выхода взаимодополняющие.

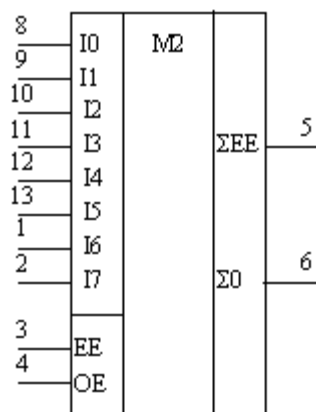


Рис. 7. Условное изображение микросхемы К155ИП2

Микросхема может работать в режиме четного и нечетного паритета как в положительной, так и в отрицательной логике.

Сигналами на входах *EE* и *OE* можно обеспечить разные режимы работы микросхемы, в частности управление полярностью выходных сигналов, создание девятого информационного входа, каскадирование микросхем К155ИП2 с целью повышения разрядности контролируемых слов.

При поступлении на вход *EE* уровня *U* (H-уровня), а на вход *EO* уровня *U* (L-уровня) схема реализует функцию "контроль четности" при четном числе единиц на информационных входах I0-I7 на четном выходе ΣE будет высокий уровень *U*. При нечетном числе единиц на этих входах состояния выходов ΣE и ΣO меняются на противоположные и обеспечивают контроль четности. Когда на обоих разрешающих входах действуют сигналы одного уровня, на обоих выходах образуются инверсные им сигналы.

Функциональные свойства микросхемы характеризует табл.3

Таблица 3

Таблица истинности микросхемы К155ИП2

Число единиц на входах	Входы		Выходы	
	EE	EO	ΣE (четное)	ΣO (нечет)
четное	1	0	1	0
нечетное	1	0	0	1
четное	0	1	0	1
нечетное	0	1	1	0
X	1	1	0	0
X	0	0	1	1

Примечание: Символ x означает любое (четное или нечетное) число единиц на входах $I_0 - I_7$.

2. Используемые приборы

- установка УМ - 11М;
- анализатор логический тридцатидвухканальный 831.

3. Правила техники безопасности при выполнении работы

При выполнении лабораторной работы необходимо соблюдать инструкцию по технике безопасности при работе в лаборатории «Цифровая электроника».

Запрещается проводить какие-либо операции на изучаемых установках при поданном на них питании.

После обнаружения ошибки в собранной электрической схеме необходимо сначала отключить питание, а затем произвести переключения.

4. Порядок выполнения работы

4.1. Исследования одноразрядного сумматора на логических элементах

Собрать схему одноразрядного сумматора на логических элементах. Переменные A_i , B_i , P_{i-1} задавать соответственно переключателями «8», «7» и «6». Выходные состояния Σ_i и P_i контролировать светодиодами индикаторами. Убедиться в правильном функционировании сумматора, снять таблицу истинности и записать для отчета.

4.2. Исследование одноразрядного сумматора для суммирования чисел в последовательном коде

Не разбирая предыдущую схему, переключить выходной перенос P_i на вход переноса P_{i-1} через устройство задержки. Для этого используется один из D-триггеров на панели установки. Вход его обо-

значен D , выход - прямой (верхний). Для того, чтобы D-триггер задерживал сигнал переноса на один такт следования цифрового сигнала, на его С-вход должны быть поданы синхроимпульсы, которые снимаются с выхода анализатора 831, разряд «0». Разряды «1» и «2» анализатора 831 использовать для задания чисел А и В цифрового сигнала в последовательном коде. Для этого, используя дополнительные свободные гнезда, соединенные между собой, переключить входы A_i и B_i сумматора на выход разрядов "1" и "2" анализатора 831. К входам разрядов «8», «9», «10» подключить соответственно вход P_{i-1} и выходы \sum_i , P_i сумматора.

Включить анализатор и произвести измерение таблицы состояний сумматора для установленной задержки на анализаторе 831 , равной единице (декадные переключатели «задержка» анализатора). Записать полученную таблицу состояний для отчета и самостоятельно определить, какие числа А и В просуммированы и проверить правильность суммирования по результату \sum и Р.

4.3. Исследование сумматора на микросхеме К555ИМ6

Собрать схему исследования сумматора с помощью анализатора 831 таким образом, чтобы разряды «0»-«3» анализатора задавали 4-х разрядное число А, а переключатели «5»-«8» установки - 4-х разрядное число В. Используя обозначение и нумерацию выводов микросхемы К555ИМ6, выходные гнезда переключателей «5»-«8» подключить к входам В3-В0 сумматора через логические элементы «исключающее ИЛИ», причем вторые входы всех этих логических элементов и вход C_{i-1} сумматора подключить к гнезду переключателя «4». Использовать гнезда тех переключателей, которые при нажатой кнопке задают «1». Выходы 0-3 и C_i сумматора подключить к входам анализатора «8»-«12». Включить анализатор 831 и, задавая с помощью переключателей «5»-«8» числа 0, 5, 10, 15 при отпущенной кнопке переключателя «4», получить таблицу состояний сумматора, повторить измерения для нажатой кнопки «4». Записать полученные таблицы для отчета и убедиться в правильности суммирования с помощью перевода суммируемых чисел А и В в десятичные числа.

4.4. Исследование схемы контроля четности на микросхеме К155ИП2

Собрать схему исследования, используя обозначения и нумерацию выводов микросхемы К155ИП2 таким образом, чтобы сигналы разрядов «0»-«7» анализатора 831 являлись сигналами входов I0-I7 микросхемы К155ИП2, а на входы ЕЕ и ЕО микросхемы подключить гнезда переключателей «5» и «6» установки УМ-11.

Выходы ΣE и $\Sigma 0$ микросхемы подключить к входам разрядов «8» и «9» анализатора. Гнезда «7» и «8» (красные) выводов микросхемы К155ИП2 соединить перемычкой. Получить таблицу состояний микросхемы контроля четности и включить переключатели «5» и «6» установки таким образом, чтобы получить нечетный паритет. Снять и зарисовать таблицы состояний для задержек, установленных на анализаторе: 0, 240, 112, 80. Проверить правильность функционирования схемы подсчетом числа входных единиц.

5. Содержание отчета

- наименование и цель работы;
- краткое содержание исследуемых пунктов работы;
- исследуемые схемы и результаты исследований.

6. Контрольные вопросы

1. Полусумматор и сумматор. Уравнения, схемы.
2. Использование сумматора в режиме вычитателя.
3. Последовательный и параллельный перенос в многоразрядных сумматорах.
4. Суммирование многоразрядных чисел, представленных в последовательном коде.
5. Контроль четности. Назначение и осуществление.
6. Микросхема К155ИП2. Задание четного и нечетного паритета.

Лабораторная работа № 16

ИССЛЕДОВАНИЕ АРИФМЕТИКО - ЛОГИЧЕСКОГО УСТРОЙСТВА

Цель работы: Изучить законы функционирования и исследовать свойства арифметико-логического устройства на ИМС К155ИПЗ.

1. Основные теоретические сведения

Арифметико-логическое устройство (АЛУ) - это специализированное устройство, выполняющее в соответствии с программой на входах арифметические и логические преобразования двоичной информации. АЛУ выпускаются как в виде отдельных микросхем, так и в виде элементов более сложных микросхем - микропроцессоров, где они являются основным элементом.

В ТТЛ выпускаются АЛУ К155ИПЗ, в КМОПТЛ - К561ИПЗ, по функциям они совпадают. Микросхемы АЛУ дороже простых микросхем, но благодаря универсальным свойствам применение их в аппаратуре во многих случаях оказывается оправданным.

В данной работе исследуется АЛУ К155ИПЗ.

Микросхема К155ИПЗ предназначена для действий с двумя четырех-разрядными двоичными словами $A=A_3A_2A_1A_0$ и $B=B_3B_2B_1B_0$. Конкретный вид операции, выполненной микросхемой, задается 5-разрядным кодом на входах SE, S_3, S_2, S_1, S_0 . Всего АЛУ способно выполнять 32 операции: 16 логических (И, И-НЕ, ИЛИ, ИЛИ-НЕ и др.) и 16 арифметических и арифметико-логических (сложение, вычитание, удвоение, сравнение чисел и ряд иных). Операции сложения и вычитания проводятся с ускоренным переносом из разряда в разряд. Кроме того, имеется вход приема сигнала переноса CR .

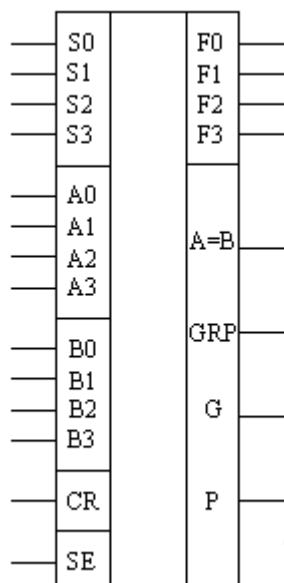


Рис. 1. Условное изображение микросхемы К155ИП3.

На выходах F0, F1, F2, F3 формируются результаты логических преобразований и арифметических действий. На выходе переноса CRP образуется сигнал старшего (четвертого) разряда при выполнении арифметических операций. Дополнительные выходы - генерирования ускоренного переноса G и распространения ускоренного переноса P - используются только при организации многоразрядных АЛУ в случае их сочетания с блоком ускоренного переноса К155ИП4.

Слова A и B, подлежащие обработке, могут быть представлены в положительной или отрицательной логике. Таблица состояний АЛУ для положительной логики приведена в таблице 1, где уровни управляющих сигналов представлены буквенными символами.

Таблица 1
Функциональная зависимость выходов микросхемы К155ИП3 от состояния входов (положительная логика)

№	Входы выбора				Вход - выход	
	S3	S2	S1	S0	Логическая функция (SE = 1)	Арифметическое действие (SE = 0, CR = 1)
0	0	0	0	0	\overline{A}	A
1	0	0	0	1	$\overline{A \vee B}$	$A \vee B$
2	0	0	1	0	$\overline{A \cdot B}$	$A \vee \overline{B}$
3	0	0	1	1	лог 0	-1
4	0	1	0	0	$\overline{A \cdot B}$	$A + \overline{A \cdot B}$
5	0	1	0	1	\overline{B}	$(A \vee B) + \overline{A \cdot B}$

6	0	1	1	0	$A \oplus B$	$A - B - 1$
7	0	1	1	1	$A \cdot \bar{B}$	$A \cdot \bar{B} - 1$
8	1	0	0	0	$\bar{A} \vee B$	$A + A \cdot B$
9	1	0	0	1	$\overline{A \oplus B}$	$A + B$
10	1	0	1	0	B	$(A \vee \bar{B}) + A \cdot B$
11	1	0	1	1	$A \cdot B$	$A \cdot B - 1$
12	1	1	0	0	лог 1	$A + A$
13	1	1	0	1	$A \vee \bar{B}$	$(A \vee B) + A$
14	1	1	1	0	$A \vee B$	$(A \vee \bar{B}) + A$
15	1	1	1	1	A	$A - 1$

Результаты арифметических операций выражены в дополнительном коде. Числа в дополнительном и обратном коде связаны простым соотношением:

$$N \text{ доп} = N \text{ обр} + 1 \text{ или } N \text{ обр} = N \text{ доп} - 1.$$

Поэтому, в тех строках таблицы, где указана операция «-1», результат арифметических действий представлен в обратном коде.

Старший разряд кода выбора операции SE определяет характер действий, выполняющих АЛУ. Когда на этом входе сигнал высокого уровня, АЛУ производит логические операции поразрядно над каждой парой бит слов А и В. Внутренний перенос в этом режиме бездействует.

Арифметические операции выполняются, когда на входе SE установлен низкий потенциал, который является также разрешающим сигналом для переноса между разрядами. Выходной результат формируется с учетом состояния входа переноса CR. Оба сигнала переноса - входной CR и выходной CRP - инверсны относительно сигналов на входах А и В, т.е. когда слова А и В - в положительной логике, сигналу переноса отвечает низкий уровень напряжения на соответствующем выводе, а в отрицательной логике наоборот.

Если АЛУ выполняет логико-арифметическую операцию, то логическая функция реализуется поразрядно, а арифметическая с переносом.

Например, входному коду $SE S3S2S1S0=LHLLL$ отвечает операция $A+AB$, где AB - логическое умножение двух слов. Если $A=1010$ и $B=0111$, то операция $AB = 0010$ и, следовательно, $1010 + 0010 = 1100$.

При использовании АЛУ в качестве компаратора (устройство сравнения чисел) сигнал снимают с выхода $A=B$ (вывод 14). Этот выход - с открытым коллектором, поэтому к источнику питания его следует подключать через внешний резистор 1 кОм.

Режим компаратора обеспечивается при $SE=L$ и $S3S2S1S0=LHHL$. Когда числа A и B равны, на выходе $A=B$ формируется сигнал высокого уровня. Одновременно сигнал на выходе CRP (вывод 16) характеризует соотношение между числами A и B в случае их неравенства согласно табл.2.

Таблица 2

Таблица истинности микросхемы К155ИПЗ в режиме компаратора (положительная логика), $SE S3S2S1S0 = LLHHL$

Состояния входов		Состояния выхода
CR	A и B	CRP
H	$A < B$	H
L	$A < B$	H
H	$A > B$	L
L	$A > B$	L

Для арифметических действий над словами большой длины АЛУ включают последовательно.

2. Используемое оборудование

- установка ЭЦВТ-1,
- установка УМ-11М.

3. Правила техники безопасности при выполнении работы

При выполнении лабораторной работы необходимо соблюдать инструкцию по технике безопасности при работе в лаборатории «Цифровая электроника».

Запрещается проводить какие-либо операции на изучаемых установках при поданном на них питании.

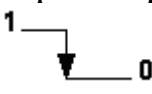
После обнаружения ошибки в собранной электрической схеме необходимо сначала отключить питание, а затем произвести переключения.

4. Порядок выполнения работы.

4.1. Исследуемое АЛУ на микросхеме К155ИПЗ расположено в блоке БМП-2 установки ЭЦВТ-1.

Для выполнения работы на блоке БМП-2 устанавливается трансформатор №12. Задание выходных чисел A и B осуществляется регистрами $P1$ и $P2$, подключенными к общей четырехразрядной шине дан-

ных. Запись чисел с шины данных в регистры осуществляется по сигналам на входах $C1$ и $C2$ регистров:

для регистра $P1$ -  (перепад)
для регистра $P2$ – «1» (уровень U^1)

При этом на гнездо CS должен быть подан уровень «0». Состояние шины данных, регистров и АЛУ контролируются светодиодными индикаторами. Числа A и B выставляются на шине данных с помощью счетчика CT , управляемого генератором одиночных импульсов $G1$ на установке ЭЦВТ-1.

4.2. Конкретный вид операции АЛУ и запись чисел в регистры $P1$ и $P2$ установки ЭЦВТ-1 осуществляется соответственно переключателями «3»-«8» и «1»-«2» установки УМ-11М. Для контроля установленного вида операции служит светодиодный индикатор ИУ установки ЭЦВТ-1, который включается соединением гнезд «S» и «->».

4.3. Вычислить число: $X = \sum_{i=1}^m Ni$

где: m - число членов бригады,
 Ni - номер i -того члена бригады по журналу группы.

Записать число x в двоичном коде. Младшие четыре разряда этого числа являются числом A . Число B выбрать следующим образом:

при $A = 1111$, $B = 1111$.

при $A = 1111$, $B = 1010$.

4.4. Исследовать АЛУ для всех входных наборов в режимах $SE = H$ и $SE = L$, $CR = H$ с числами, определенными ранее. Данные исследований записать в таблицу. В отчете привести доказательства правильности выполненных операций.

5. Содержание отчета

- наименование и цель работы;
- условное обозначение АЛУ К155ИПЗ и таблица состояний;
- краткое содержание выполняемых пунктов с результатами.

6. Контрольные вопросы

1. Определение АЛУ. Какие серии микросхем АЛУ выпускаются в промышленности?
2. Назначение микросхемы К155ИПЗ.
3. Как обеспечивается режим компаратора в микросхеме К155ИПЗ?
4. Обосновать алгебраически правильность выполняемой АЛУ операции, заданной преподавателем и нарисовать структурную схему АЛУ для этой операции.

Лабораторная работа № 17

ИССЛЕДОВАНИЕ АСИНХРОННЫХ ОДНОСТУПЕНЧАТЫХ ТРИГГЕРОВ

Цель работы: изучить принцип построения асинхронных RS триггеров.

1. Основные теоретические сведения

Триггером называют логическую схему с положительной обратной связью, имеющую два устойчивых состояния, которые называют единичным и нулевым. Триггер имеет два выхода: прямой Q и инверсный \bar{Q} . Перевод триггера в состояние $Q=1$ называют установкой (*set*) и вход, по которому это осуществляется, обозначается S .

Перевод триггера в нулевое состояние $Q=0$ называют сбросом (*reset*) и вход сброса обозначают R . Триггер является асинхронным, если его переключение происходит в момент поступления управляющих сигналов. Триггеры характеризуются таблицей состояний.

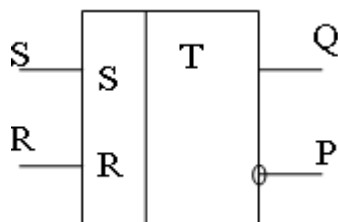


Рис. 1 Обозначение RS-триггера на схемах

Таблица 1

Таблица переключений асинхронного триггера

S_n	R_n	Q_n	Q_{n+1}	P_{n+1}
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	X	X
1	1	1	X	X

Составленная по таблице переключений триггера карта Карно имеет вид:

S_n, R_n, Q_n	00	01	11	10
0	0	0	X	1
1	1	0	X	1

Столбец карты Карно, соответствующий ситуации $S_n=R_n=1$, называется столбцом неопределенности. В зависимости от возможных значений логических уровней в этом столбце, получаются различные схемы триггеров.

1.1. RS-триггер с инверсными входами

Клетки столбца неопределенности принимают значения 1. Это означает, что при $S_n = 1$ и $R_n = 1$ выходное состояние триггера становится единичным, независимо от того, в каком состоянии он был ранее. Составленная по карте Карно формула триггера в этом случае имеет вид:

$$Q_{n+1} = S_n + Q_n \cdot \overline{R_n}$$

Для построения RS-триггера на элементах И-НЕ служит формула, полученная в результате преобразования исходной формулы, с применением 1-го постулата Де Моргана.

$$Q_{n+1} = \overline{\overline{S_n} \cdot \overline{Q_n} \cdot \overline{R_n}}$$

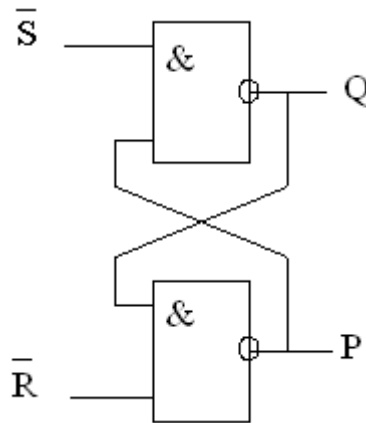


Рис. 2 Схема RS-триггера с инверсными входами на элементах И-НЕ

1.2. RS-триггер с прямыми входами

При $S_n = 1$ и $R_n = 1$ триггер устанавливается в нулевое состояние, независимо от предыдущего состояния.

Составленная по карте Карно формула триггера в этом случае имеет вид:

$$Q_{n+1} = S_n \cdot \overline{R_n} + Q_n \cdot \overline{R_n}$$

Для построения RS-триггера на элементах ИЛИ-НЕ служит формула, полученная в результате преобразования исходной формулы.

$$Q_{n+1} = \overline{\overline{R_n} + \overline{S_n} + \overline{Q_n}}$$

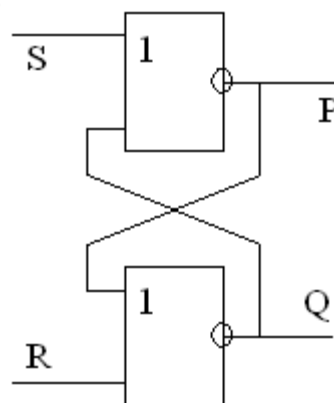


Рис. 3 Схема RS-триггера с прямыми входами на элементах ИЛИ-НЕ

2. Используемое оборудование

- установка УМ-11.

3. Правила техники безопасности при выполнении работы

При выполнении лабораторной работы необходимо соблюдать инструкцию по технике безопасности при работе в лаборатории «Цифровая электроника».

Запрещается проводить какие-либо операции на изучаемых установках при поданном на них питании.

После обнаружения ошибки в собранной электрической схеме необходимо сначала отключить питание, а затем произвести переключения.

4. Порядок выполнения работы:

4.1. Исследование RS-триггера с инверсными входами

Собрать на панели установки УМ-11М схему RS-триггера, принимающего значение «1» в столбце неопределенности на элементах И-НЕ. Состояния прямого и инверсного выходов триггера контролировать светодиодными индикаторами. Входные переменные задавать переключателями. Получить и записать таблицу переключений.

Составить и собрать схему RS-триггера с инверсными входами по исходной формуле триггера. Получить и записать таблицу переключений.

4.2. Исследование RS-триггера с прямыми входами

Собрать схему RS-триггера, принимающего значение «0» в столбце неопределенности на элементах ИЛИ-НЕ. Получить и записать таблицу переключений. Составить и собрать схему триггера по исходной схеме триггера. Получить и записать таблицу переключений.

5. Содержание отчет

- наименование и цель работы;
- краткое содержание исследуемых пунктов работы;
- результаты исследований;
- выводы о различии таблиц переключений одностипных триггеров, собранных по различным схемам.

6. Контрольные вопросы

1. Классификация триггеров.
2. Определение асинхронного триггера.
3. RS-триггер, принимающий значение «1» в столбце неопределенности.
4. RS-триггер, принимающий значение «0» в столбце неопределенности.
5. Структурная схема RS-триггера с инверсными входами.

Литература

1. Цифровые интегральные микросхемы: Справочник / Богданович М.И., Грель И.Н., Дубина С.А. и др. - 2-е изд., перераб. и доп.- Мн.: Беларусь, Полымя. 1996.-605с.: ил.
2. Интегральные микросхемы и их зарубежные аналоги: Справочник. Том 2./ Нефедов А.В. - М.:ИпРадиоСофт, 1998. - 640с.: ил.
3. Бирюков С.А. Цифровые устройства на интегральных микросхемах. - М.: Радио и связь, 1984
4. Шило В.Л. Популярные цифровые микросхемы: Справочник.-2-е изд., исправленное.- М.: Радио и связь, 1989.-352с.
5. Янсен Й. Курс цифровой электроники: В 4 т./ Пер. с голланд. -М.: Мир, 1987.
6. Справочник инженера-схемотехника: Пер. с нем. / Корис Р., Шмидт-Вальтер Х. - М.: Техносфера, 2006. - 608 с.
7. Зубчук В.И, Сигорский В.П, Шкуро А.Н Справочник по цифровой схемотехнике. - Киев, Тэхника, 1990. - 448 с.
8. Фрике К. Вводный курс цифровой электроники.- М.: Техносфера, 2003.- 432с.
9. Храбров Е.А., Красовская Н.А. Практическое руководство к лабораторным работам по курсу «Электронные цепи дискретного действия» для студентов специальности Т.07.02.00. Часть 1. Гомель: ГГТУ им.П.О. Сухого, 2001.
10. Храбров Е.А., Красовская Н.А. Практическое пособие к лабораторным работам по курсу «Электронные цепи дискретного действия» для студентов специальности Т.07.02.00. Часть 2. Гомель: ГГТУ им.П.О. Сухого, 2004.

Содержание

Лабораторная работа № 11	
Исследование дешифраторов – демультимплексоров.....	3
Лабораторная работа № 12	
Исследование мультимплексоров.....	12
Лабораторная работа № 13	
Исследование шифраторов.....	19
Лабораторная работа № 14	
Исследование преобразователей кодов на ПЛМ и ПЗУ.....	24
Лабораторная работа № 15	
Исследование арифметических устройств.....	30
Лабораторная работа № 16	
Исследование арифметико - логического устройства.....	43
Лабораторная работа № 17	
Исследование асинхронных одноступенчатых триггеров.....	48
Литература.....	53

Храбров Евгений Александрович
Красовская Наталья Александровна

ЦИФРОВАЯ ЭЛЕКТРОНИКА

Лабораторный практикум
по одноименному курсу для студентов
специальности 1-36 04 02 «Промышленная
электроника» дневной и заочной форм обучения
Часть 3

Подписано в печать 05.10.09.

Формат 60x84/16. Бумага офсетная. Гарнитура «Таймс».

Ризография. Усл. печ. л. 3,25. Уч.-изд. л. 3,21.

Изд. № 37.

E-mail: ic@gstu.gomel.by

<http://www.gstu.gomel.by>

Отпечатано на цифровом дуплекаторе
с макета оригинала авторского для внутреннего использования.

Учреждение образования «Гомельский государственный
технический университет имени П. О. Сухого».

246746, г. Гомель, пр. Октября, 48.