

АВТОМАТИЗАЦИЯ ПРОЕКТИРОВАНИЯ КОМБИНАЦИОННЫХ СХЕМ С МИНИМАЛЬНОЙ ПЕРЕКЛЮЧАТЕЛЬНОЙ АКТИВНОСТЬЮ

Д. С. Емельянов

Учреждение образования «Гомельский государственный технический университет имени П. О. Сухого», Беларусь

Научный руководитель И. А. Мурашко

Одной из тенденций последних десятилетий в области проектирования и производства цифровых интегральных микросхем является улучшение их характеристик, наряду с повышением производительности, уменьшением габаритных размеров и затрат на производство. Это связано в первую очередь с переходом к портативным устройствам и коммутаторам, сочетающим в себе компактные размеры и высокое быстродействие. Увеличение числа транзисторов на единице площади кристалла приводит к повышенному тепловыделению и необходимости отвода тепла.

Проблема снижения потребляемой мощности ПЛИС достаточно актуальна, так как грамотно спроектированная интегральная микросхема в отдельных случаях позволяет сэкономить до 90 % своей потребляемой мощности.

Как правило, потребляемую мощность (мощность рассеяния) цифровых схем можно разделить на два вида – динамическую и статическую. Динамическая рассеиваемая мощность возникает в момент переключения схемы из одного логического состояния в другое и определяется двумя основными источниками – токами заряда/разряда паразитных емкостей логических элементов и сквозными токами, которые протекают через логический элемент в момент переключения. Статическая мощность рассеивается тогда, когда логический элемент находится в некотором фиксированном логическом состоянии («0» или «1») и определяется токами утечки, обратными токами $p-n$ -переходов и токами нагрузки [1]. Относительная составляющая каждого вида мощности может варьироваться в широких пределах. Это в первую очередь зависит от режима работы схемы.

Снижение переключательной активности цифровой схемы является одним из направлений понижения общего энергопотребления ПЛИС. Это достигается благодаря внедрению новых методологий проектирования.

Целью научной работы является разработка автоматизированной системы проектирования комбинационных схем с минимальной переключательной активностью. В работе рассматриваются схемы, построенные на базе простейших логических элементов *AND*, *OR*, *XOR*.

Согласно вероятностной методике оценки потребляемой мощности комбинационных схем существуют понятия сигнальной вероятности, вероятности переключения и переключательной активности логического элемента.

Переключательная активность элемента $WSA(p)$ – это физическая величина, характеризующая частоту переключения логического сигнала на выходе. Вероятность переключения узла $p(x)$ – это отношение среднего числа тактов работы, в которых изменяется логическое состояние узла к общему числу тактов работы. Сигнальная вероятность узла схемы $p(x)$ – это отношение среднего числа тактов работы, в которых узел находится в состоянии логической единицы «1» к общему числу тактов работы [2].

Для каждого логического элемента определена формула вычисления сигнальной вероятности. Формулы сведены в таблицу.

Формулы вычисления сигнальной вероятности логических элементов

Тип элемента	Формула
<i>AND</i>	$p(y) = p(x_1) \times p(x_2)$
<i>OR</i>	$p(y) = p(x_1) + p(x_2) - p(x_1) \times p(x_2)$
<i>XOR</i>	$p(y) = p(x_1) + p(x_2) - 2 \times p(x_1) \times p(x_2)$

Значение сигнальной вероятности используется для вычисления переключательной активности каждого составляющего узла схемы. В работе рассмотрены два варианта расчета переключательной активности элемента [3].

Первый вариант:

$$wsa(p) = 2 \times p \times (1 - p), \tag{1}$$

где wsa – выходная переключательная активность узла; p – сигнальная вероятность переключения.

Второй вариант:

$$wsa(p) = p_1 \times wsa_2 + p_2 \times wsa_1, \tag{2}$$

где wsa – выходная переключательная активность узла, p_1, p_2 – вероятности переключения на входах элемента, wsa_1, wsa_2 – переключательные активности на входах элемента.

Общая переключательная активность определяется как сумма переключательных активностей всех составляющих узлов схемы:

$$WSA = \sum_i wsa_i. \tag{3}$$

Чем больше величина WSA , тем выше энергопотребление схемы.

Снижение переключательной активности достигается путем оптимальной декомпозиции логической схемы. Рассмотрим алгоритм синтеза многовходового логического элемента, при котором суммарная переключательная активность будет наименьшей.

На начальном этапе формируется вектор $P = |p_1, p_2, \dots, p_n|$ из значений вероятностей переключения на входах схемы. Из множества вероятностей выбирается такая пара значений, которая при пересчете переключательной активности по формуле (1) или (2) дает минимальное значение. Выбранная пара значений образует новый элемент, и его выходная сигнальная вероятность замещает две исходных вероятности в векторе P . Число элементов вектора уменьшается на единицу. Процесс повторяется пока размерность вектора больше единицы.

Такой подход позволяет скомбинировать двухвходовые элементы наиболее оптимально, за один этап, не прибегая к ресурсоемкому перебору всех возможных топологий схемы и пересчете их переключательных активностей.

На базе предложенного алгоритма функционирует программная система, в основу которой заложены следующие возможности:

- получение исходных данных абстрактной модели интегральной микросхемы;
- анализ входных данных и построение математической модели будущего многовходового элемента;
- декомпозиция элемента и получение конечной его топологии;
- графическая интерпретация результатов;
- генерация файла описания элемента на языке VHDL;
- сохранение результатов и дальнейшее моделирование работы микросхемы в среде проектирования Xilinx.

На рис. 1 представлено графическое окно программы для ввода исходных данных.

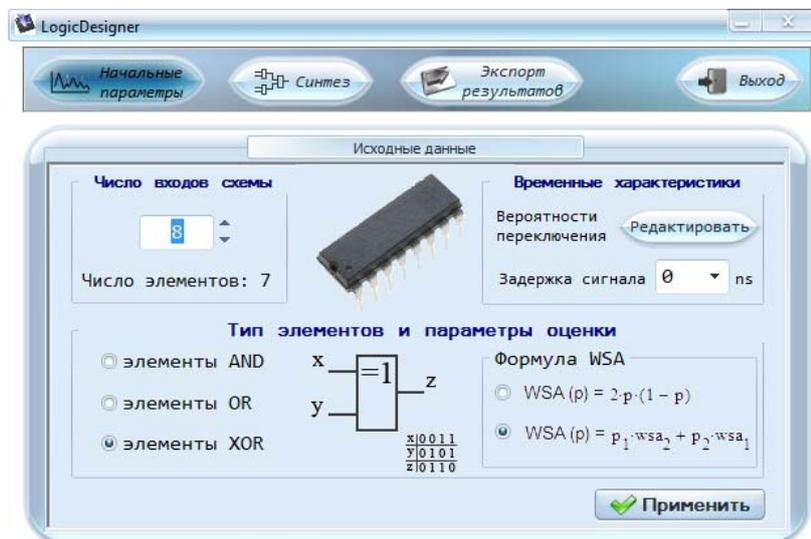


Рис. 1. Графическое окно для ввода данных в программу

В данном случае требуется получить восьмивходовой сумматор по модулю 2. Вероятности переключения на входах представлены множеством $\{0.6 \ 0.6 \ 0.6 \ 0.6 \ 0.6 \ 0.6 \ 0.6 \ 0.6\}$. В результате оптимальной в плане энергопотребления будет схема с топологией, представленной на рис. 2.

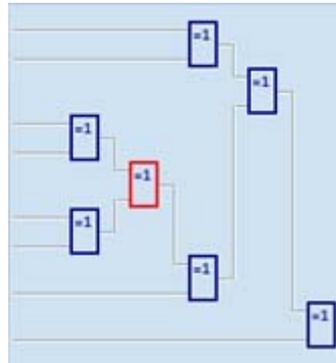


Рис. 2. Структура восьмивходового сумматора по модулю 2

Исследование поведения элемента проводится в среде проектирования Xilinx ISE WebPack. Для оценки потребляемой мощности используется интегрированный пакет XPower. Анализ результатов моделирования показал, что с увеличением разрядности логического элемента расхождение в значениях его потребляемой мощности между разработанной программной системой и пакетом XPower составляют порядка 10–15 %.

Литература

1. Pedram, M. Power Minimization in IC Design: Principles and Applications / M. Pedram // ACM Transactions on Design Automation of Electronic Systems. – 1996. – Vol. 1, № 1. – P. 3–56.
2. Мурашко, И. А. Источники рассеиваемой мощности цифровых КМОП-схем / И. А. Мурашко // Вестн. ГГТУ им. П. О. Сухого. – 2006. – № 4. – С. 84–92.
3. Мурашко, И. А. Методы минимизации энергопотребления при самотестировании цифровых устройств / И. А. Мурашко, В. Н. Ярмолик. – Минск : Бестпринт, 2004. – 188 с.